

Черновой перевод части 17 фирменного руководства на 16-ти разрядный сигнальный контроллер dsPIC30F.  
Перевёл на русский язык Валентин Володин.

## Раздел 17. 10-разрядный A/D Конвертер

### Выделены

Этот раздел руководства содержит следующие основные разделы:

17.1 Введение .....	17-2
17.2 Регистры управления .....	17-4
17.3 A/D Буфер результата .....	17-4
17.4 A/D Терминология и последовательность преобразования .....	17-11
17.5 A/D Модуль конфигурации .....	17-13
17.6 Выбор опорного источника напряжения .....	17-13
17.7 Выбор синхронизации A/D преобразования .....	17-13
17.8 Выбор аналоговых входов для выборки .....	17-14
17.9 Включение модуля .....	17-16
17.10 Определение последовательности выборки/преобразования.....	17-16
17.11 Как начать выборку .....	17-17
17.12 Как остановить выборку и начать преобразование .....	17-18
17.13 Управление операцией выборки/преобразования.....	17-29
17.14 Определение, как результаты преобразования записать в буфер .....	17-30
17.15 Примеры последовательности преобразования .....	17-31
17.16 A/D выборки требования .....	17-45
17.17 Чтение буфера результата A/D преобразования .....	17-46
17.18 Функция передачи .....	17-47
17.19 A/D Точность/ошибка .....	17-47
17.20 Связь соображений .....	17-47
17.21 Инициализации .....	17-48
17.22 Скорости A/D преобразования .....	17-49
17.23 Работа в течение спящего и ожидания режимов .....	17-55
17.24 Эффекты сброса .....	17-55
17.25 Специальные функциональные регистры, связанные с 10-разрядным A/D конвертером .....	17-56
17.26 Советы проектирования .....	17-57
17.27 Связанные аппноты .....	17-58
17.28 История исправлений .....	17-59

## 17.1 Введение

10-разрядный A/D конвертер dsPIC30F имеет следующие главные особенности:

- Преобразование с последовательной аппроксимацией (SAR)
- Скорость преобразования до 1 Msps
- До 16 аналоговых входов
- Наличие внешнего входа для опорного напряжения
- Наличие четырёх униполярных дифференциальных S/H усилителей
- Одновременная выборка до четырех входных аналоговых выводов
- Режим автоматического сканирования канала
- Выбираемый источник запуска преобразования
- Буферизирует 16 слов результата преобразования
- Выбираемые режимы заполнения буфера
- Четыре опции выравнивания результата
- Работа в течении режимов спящий и ожидания ЦПУ

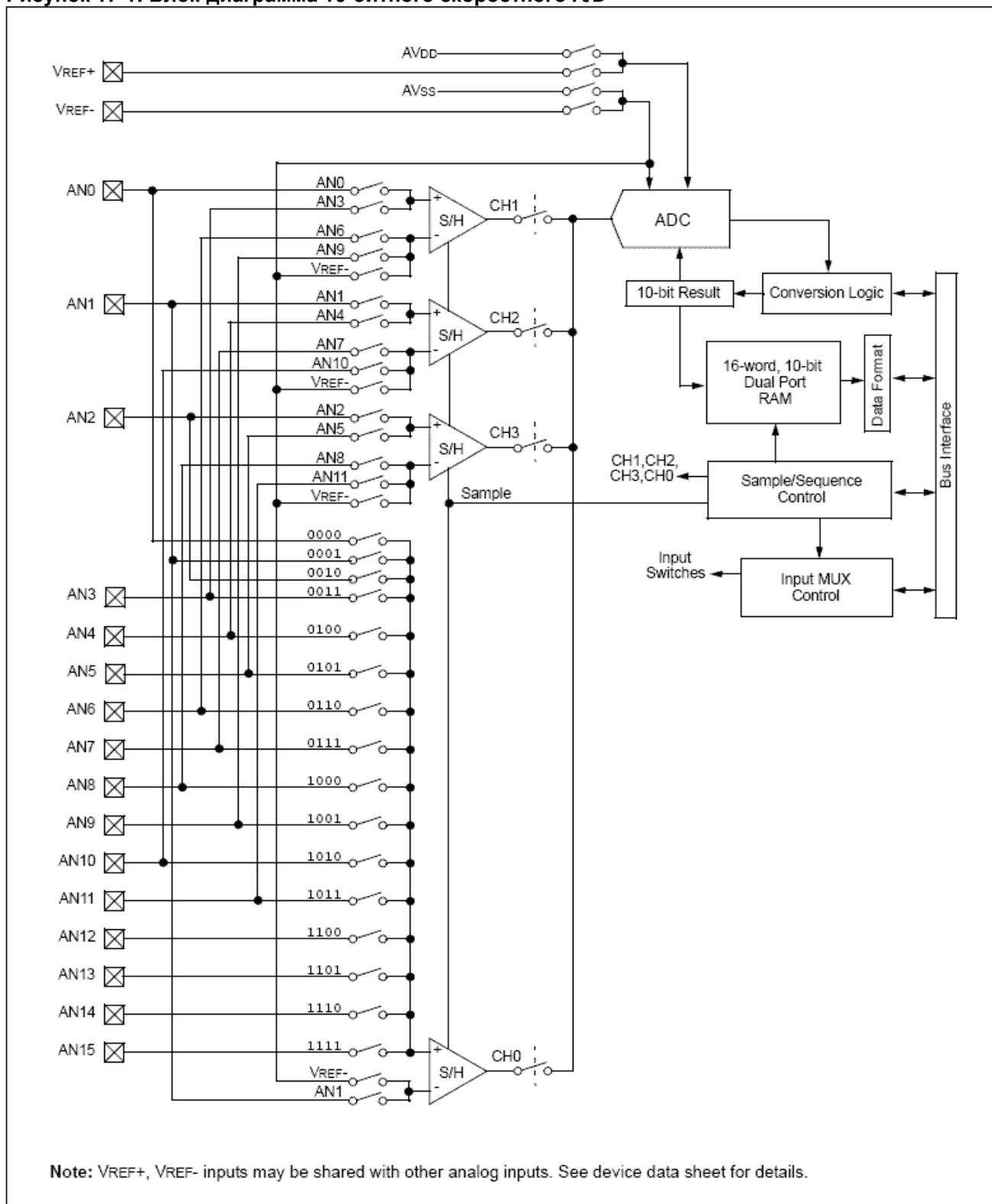
Блок-схема 10-разрядного A/D показана на рис. 17-1. 10-разрядный A/D конвертер может иметь до 16 аналоговых входных выводов, обозначаемых AN0-AN15. Кроме того, имеются два аналоговых входных вывода для подключения внешнего опорного напряжения. Эти выводы опорного напряжения могут быть разделены с другими аналоговыми выводами. Фактическое число аналоговых входных выводов и выводов внешнего опорного напряжения будет зависеть от определенного dsPIC30F устройства. Обратитесь к листу данных устройства для дальнейших подробностей.

Аналоговые входы связаны через мультиплексоры с четырьмя S/H усилителями, обозначенными как CH0-CH3. Один, два, или четыре из S/H усилителей можно использовать для получения входных данных. Аналоговые входные мультиплексоры могут быть переключены между двумя наборами аналоговых входов в течение преобразований. Униполярные дифференциальные преобразования возможны на всех каналах, использующих некоторые входные штырьки (см. Рисунок 17-1).

Режим сканирования аналогового входа допустим для CH0 S/H усилителя. Регистр управления определяет, который из аналоговых входных каналов будет включен в последовательность просмотра.

10-разрядный A/D подключен к буферу результата на 16 слов. Каждый 10-разрядный результат, когда читается из буфера, преобразован к одному из четырех 16-разрядных выходных форматов.

Рисунок 17-1: Блок-диаграмма 10-битного скоростного A/D



## 17.2 Регистры управления

A/D модуль имеет шесть регистров управления и состояния. Эти регистраторы:

- ADCON1: A/D Регистр управления 1
- ADCON2: A/D Регистр управления 2
- ADCON3: A/D Регистр управления 3
- ADCHS: Регистр выбора входного канала A/D
- ADPCFG: Регистр конфигурации порта A/D
- ADCSSL: Регистр выбора сканируемого входа A/D

Регистры ADCON1, ADCON2 и ADCON3 управляют работой A/D модуля. Регистр ADCHS выбирает входные выводы, которые будут связаны с S/H усилителями. Регистр ADPCFG конфигурирует аналоговые входные выводы как аналоговые или как цифровой Ввод - вывод. Регистр ADCSSL выбирает входы, которые будут последовательно просмотрены.

## 17.3 Буфер результата A/D

Модуль содержит 16 словный двойной порт RAM, называемый ADCBUF, который буферизирует результаты A/D. 16 позиций буфера упомянуты как ADCBUF0, ADCBUF1, ADCBUF2, ....., ADCBUFE, ADCBUFF.

Примечание: буфер результата A/D - буфер только для чтения.

### Регистр 17-1: ADCON1: A/D Регистр управления 1

Старший байт:							
R/W-0	U-0	R/W-0	U-0	U-0	U-0	R/W-0	R/W-0
ADON	-	ADSIDL	-	-	-	FORM<1:0>	
Бит 15							Бит 8

Младший байт:							
R/W-0	R/W-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0 HC, HS	R/C-0 HC, HS
SSRC<2:0>			-	SIMSAM	ASAM	SAMP	DONE
Бит 7							Бит 0

- Бит 15      **ADON:** бит режима работы A/D  
1 = модуль конвертера A/D работает  
0 = конвертер A/D выключен
- Бит 14      **Не задействован:** читается как '0'
- Бит 13      **ADSIDL:** бит остановки в режиме ожидания  
1 = Прекращает работу модуля, когда устройство вводит в режим ожидания  
0 = Продолжает работу модуля в режиме ожидания
- Бит 12-10   **Не задействован:** читается как '0'
- Бит 9-8      **FORM<1:0>:** Бит формата выходных данных  
11 = Дробный со знаком (DOUT = sddd dddd dd00 0000)  
10 = Дробный (DOUT = dddd dddd dd00 0000)  
01 = Целое число со знаком (DOUT = ssss sssd dddd dddd)  
00 = Целое число (DOUT = 0000 00dd dddd dddd)
- Бит 7-5      **SSRC <2:0>:** Бит выбора источника запуска преобразования  
111 = Внутренний счётчик заканчивает выборку и начинается преобразование (авто преобразование)  
110 = Зарезервировано  
101 = Зарезервировано  
100 = Зарезервировано  
011 = Мотора управляющий ШИМ интервал заканчивает выборку и начинается преобразование  
010 = GP Timer3 равенство оканчивает выборку и начинает преобразование  
001 = Активный переход на выводе INT0 оканчивает выборку и начинает преобразование  
000 = Очистка бита SAMP оканчивает выборку и начинает преобразование
- Бит 4      **Не задействован:** читается как '0'
- Бит 3      **SIMSAM:** Бит выбора одновременной выборки (применим только, когда CHPS = 01 или 1x)  
1 = Одновременная выборка CH0, CH1, CH2, CH3 (когда CHPS = 1x) или одновременная выборка CH0 и CH1 (когда CHPS = 01)  
0 = выборка многих каналов индивидуально в последовательности
- Бит 2      **ASAM:** Бит Авто-старта выборки A/D  
1 = выборка начинается немедленно после окончания предыдущего преобразования. SAMP бит устанавливается автоматически.  
0 = выборка начинается, когда SAMP бит установлен
- Бит 1      **SAMP:** Бит разрешения A/D выборки  
1 = по крайней мере один усилитель выборки/хранения A/D выбран  
0 = A/D усилитель выборки /хранения в удержании  
Когда ASAM = 0, запись "1" в этот бит запускает выборку  
Когда SSRC = 000, запись "0" в этот бит заканчивает выборку и начинает преобразование
- Бит 0      **DONE:** Бит состояния A/D преобразования (Rev. В кремний или позже)  
1 = A/D преобразование сделано  
0 = A/D, преобразование не сделано  
Очищается программно или началом нового преобразования  
Очистка этого бита не будет производить никакую операцию в продвижение

Описание: R = Читаемый бит W = Записываемый бит U = Недействующий бит,  
читается как "0"

HS = Аппаратный сброс HS = Аппаратная установка C = Очищается программой

-n = Значение POR "1" = бит установлен "0" = бит очищен x =, бит неизвестен

## Регистр 17-2: ADCON2: A/D Регистр Контроля(управления) 2

Старший байт:							
R/W-0	R/W-0	R/W-0	U-0	U-0	R/W-0	R/W-0	R/W-0
VCFG <2:0>			Резерв	-	CSCNA	CHPS <1:0>	
Бит 15						Бит 8	

Младший байт:							
R-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
BUFS	-	SMPI <3:0>				BUFM	ALTS
Бит 7						Бит 0	

- Биты 15-13      **VCFG <2:0>**: Бит конфигурации опорного напряжения
- |     |                      |                      |
|-----|----------------------|----------------------|
|     | <b>A/D VREFH</b>     | <b>A/D VREFL</b>     |
| 000 | AVDD                 | AVSS                 |
| 001 | Внешний VREF + вывод | AVSS                 |
| 010 | AVDD                 | Внешний VREF - вывод |
| 011 | Внешний VREF + вывод | Внешний VREF - вывод |
| 1XX | AVDD                 | AVSS                 |
- Бит 12      **Зарезервирован**: Пользователь должен записать сюда '0'
- Бит 11      **Не задействован**: читается как '0'
- Бит 10      **CSCNA**: Бит сканирования входа выбранного для CH0 + S/H ввод для MUX A входного мультиплексора  
 1 = Сканирование входов  
 0 = Нет сканирования входов
- Биты 9-8      **CHPS <1:0>**: Биты выбора используемых каналов  
 1x = Преобразовывают CH0, CH1, CH2 и CH3  
 01 = Преобразовывают) CH0 и CH1  
 00 = Преобразовывает) CH0  
 Когда бит SIMSAM (ADCON1 < 3 >) = 0 каналы выбираются последовательно  
 Когда бит SIMSAM (ADCON1 < 3 >) = 1 каналы выбираются как в CHPS <1:0>
- Бит 7      **BUFS**: Бит состояния заполнения буфера  
 Имеющий силу только когда BUFM = 1 (ADRES разбит на 2 x 8 слов буфера).  
 1 = A/D в настоящее время заполняет буфер 0x8-0xF, пользователь должен обратиться к данным в 0x0-0x7  
 0 = A/D в настоящее время заполняют буфер 0x0-0x7, пользователь должен обратиться к данным в 0x8-0xF
- Бит 6      **Не задействован**: читается как '0'
- Биты 5-2      **SMPI <3:0>**: Бит выбора последовательностей выборка/преобразование за прерывание  
 1111 = прерывание при завершении преобразования для каждый 16-ой последовательности выборка/преобразование  
 1110 = прерывание при завершении преобразования для каждый 15-ой последовательности выборка/преобразование.....  
 0001 = прерывание при завершении преобразования для каждый 2-ой последовательности выборка/преобразование  
 0000 = прерывание при завершении преобразования для каждый последовательности выборка/преобразование
- Бит 1      **BUFM**: Бит выбора режима буфера  
 1 = Буфер конфигурирован как два буфера по 8 слов ADCBUF (15 ... 8), ADCBUF (7 ... 0)  
 0 = Буфер конфигурированный как один буфер на 16 слов ADCBUF (15 ... 0.)
- Бит 0      **ALTS**: Бит выбора режима альтернативного входа выборки  
 1 = Используются MUX A входы мультиплексора установленные для первой выборки, затем чередоваться между MUX B и MUX A входы мультиплексора установленные для всех последующих выборок  
 0 = Всегда используют MUX A входы мультиплексора установленные
- Описание: R = Читаемый бит W = Записываемый бит U = Недействующий бит, читается как "0"
- HS = Аппаратный сброс HS = Аппаратная установка C = Очищается программой  
 -n = Значение POR "1" = бит установлен "0" = бит очищен x =, бит неизвестен

### Регистр 17-3: ADCON3: A/D Регистр управления 3

Старший байт:								
U-0	U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	
-	-	-	SAMC <4:0>					
Бит 15							Бит 8	

Младший байт:							
R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
ADRC	-	ADCS <5:0>					
Бит 7							Бит 0

Биты 15-13

**Не задействованы:** читаются как '0'

Биты 12-8

**SAMC <4:0>:** Биты времени авто-выборки

11111 = 31 TAD

.....

00001 = 1 TAD

00000 = 0 TAD (допустимо если только выполняется последовательность

преобразований с использованием более чем одного S/H усилителя)

Бит 7

**ADRC:** Бит источника синхронизации A/D Преобразователя

1 = A/D синхронизируется от внутреннего RC генератора

0 = Синхронизация произведённая из системной

Бит 6

**Не задействован:** читается как '0'

Биты 5-0

**ADCS <5:0>:** Биты выбора синхронизации A/D преобразователя

111111 =  $TCY/2 \cdot (ADCS < 5:0 > + 1) = 32 \cdot TCY$

.....

000001 =  $TCY/2 \cdot (ADCS < 5:0 > + 1) = TCY$

000000 =  $TCY/2 \cdot (ADCS < 5:0 > + 1) = TCY/2$

Описание: R = Читаемый бит W = Записываемый бит U = Недействующий бит, читается как "0"

HS = Аппаратный сброс HS = Аппаратная установка C = Очищается программой

-n = Значение POR "1" = бит установлен "0" = бит очищен x =, бит неизвестен

### Регистр 17-4: ADCHS: Регистр выбора входа A/D

Старший байт:							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CH123NB <1:0>		CH123SB	CH0NB	CH0SB <3:0>			
Бит 15						Бит 8	

Младший байт:							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CH123NA <1:0>		CH123SA	CH0NA	CH0SA <3:0>			
Бит 7						Бит 0	

- Биты 15-14      **CH123NB <1:0>**: Установочные биты каналов 1, 2, 3 отрицательного ввода для MUX В мультиплексора. То же самое как и биты 6-7 (Примечание)
- Бит 13          **CH123SB**: Установочный бит каналов 1, 2, 3 положительного ввода для MUX В мультиплексора. То же самое как и бит 5 (Примечание)
- Бит 12          **CH0NB**: Установочный бит канала 0 отрицательного ввода для MUX В мультиплексора. То же самое как и бит 4 (Примечание)
- Биты 11-8      **CH0SB <3:0>**: Установочные биты каналов 0 положительного ввода для MUX В мультиплексора. То же самое как и биты 3-0 (Примечание)
- Биты 7-6        **CH123NA <1:0>**: Установочные биты каналов 1, 2, 3 отрицательного ввода для MUX А мультиплексора  
                   11 = CH1 отрицательный ввод является AN9, CH2 отрицательный ввод - AN10, CH3 отрицательный ввод - AN11  
                   10 = CH1, отрицательный ввод - AN6, CH2 отрицательный ввод - AN7, CH3 отрицательный ввод - AN8  
                   0x = CH1, CH2, CH3 отрицательный ввод – VREF
- Бит 5            **CH123SA**: Установочный бит каналов 1, 2, 3 положительного ввода для MUX А мультиплексора  
                   1 = CH1 положительный ввод является AN3, CH2 положительный ввод - AN4, CH3 положительный ввод - AN5  
                   0 = CH1, положительный ввод - AN0, CH2 положительный ввод - AN1, CH3 положительный ввод - AN2
- Бит 4            **CH0NA**: Установочный бит канала 0 отрицательного ввода для MUX А мультиплексора 1 = отрицательный ввод канала 0 является AN1  
                   0 = отрицательный ввод канала 0 является VREF
- Биты 3-0        **CH0SA <3:0>**: Установочные биты канала 0 положительного ввода для MUX А  
                   1111 = положительным вводом канала 0 является AN15  
                   1110 = положительным вводом канала 0 является AN14  
                   1101 = положительным вводом канала 0 является AN13  
                   ||  
                   ||  
                   ||  
                   0001 = положительным вводом канала 0 является AN1  
                   0000 = положительным вводом канала 0 является AN0

**Примечание:** Аналоговый входной мультиплексор поддерживает две входных конфигурации настройки, обозначенные MUX А и MUX В. В ADCHS <15:8> определяются параметры настройки для MUX В и в ADCHS <7:0> определяют параметры настройки для MUX А. Оба набора функций служебных битов тождественно.

**Примечание:** Описание регистра ADCHS и функциональные возможности изменятся в зависимости от числа вводов A/D, доступных на выбранном контроллере. Пожалуйста обратитесь к определенному листу данных устройства для дополнительных подробностей относительно этого регистра.

Описание: R = Читаемый бит W = Записываемый бит U = Недействующий бит, читается как "0"

HS = Аппаратный сброс HS = Аппаратная установка C = Очищается программой  
 -n = Значение POR "1" = бит установлен "0" = бит очищен x =, бит неизвестен

**Регистр 17-5: ADPCFG: A/D Регистр Конфигурации Портов**

Старший байт:							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PCFG15	PCFG14	PCFG13	PCFG12	PCFG11	PCFG10	PCFG9	PCFG8
Бит 15							Бит 8

Младший байт:							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PCFG7	PCFG6	PCFG5	PCFG4	PCFG3	PCFG2	PCFG1	PCFG0
Бит 7							Бит 0

Биты 15-0      **PCFG <15:0>**: Биты управления конфигурацией аналоговых входов  
 1 = аналоговый вход в дискретном режиме, разрешено чтение порта, вход входного мультиплексора A/D подключен к AVSS  
 0 = аналоговый вход в аналоговом режиме, чтение порта заблокировано, производится A/D выборка напряжения

Описание: R = Читаемый бит W = Записываемый бит U = Недействующий бит, читается как "0"

HC = Аппаратный сброс HS = Аппаратная установка C = Очищается программой  
 -n = Значение POR "1" = бит установлен "0" = бит очищен x =, бит неизвестен

**Регистр 17-6: ADCSSL: Регистр выбора сканирования A/D входа**

Старший байт:							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CSSL15	CSSL14	CSSL13	CSSL12	CSSL11	CSSL10	CSSL9	CSSL8
Бит 15							Бит 8

Младший байт:							
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
CSSL7	CSSL6	CSSL5	CSSL4	CSSL3	CSSL2	CSSL1	CSSL0
Бит 7							Бит 0

Биты 15-0      **CSSL <15:0>**: Биты выбора сканируемого A/D входа  
 1 = Выбрать ANX для сканирования входа  
 0 = Пропустить ANX для сканирования входа

Описание: R = Читаемый бит W = Записываемый бит U = Недействующий бит, читается как "0"

HC = Аппаратный сброс HS = Аппаратная установка C = Очищается программой  
 -n = Значение POR "1" = бит установлен "0" = бит очищен x =, бит неизвестен

## 17.4 A/D Терминология и последовательность преобразования

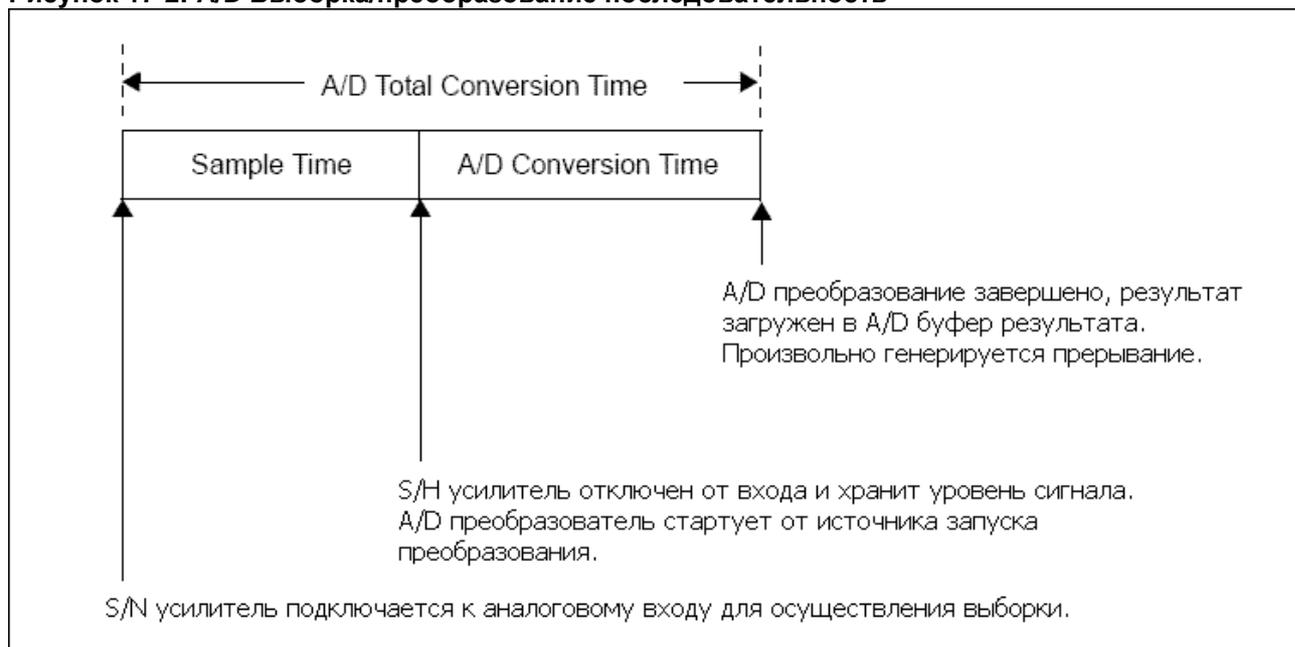
На рис. 17-2 показана базовая последовательность преобразования и термины которые используются. Выборка аналогового входного напряжения на выводе осуществляется усилителем выборки хранения S/N. S/N усилители также называются S/N каналами. 10-разрядный A/D конвертер имеет четыре общих S/N канала, обозначенных CH0-CH3. S/N каналы связаны с аналоговыми входными выводами через аналоговый входной мультиплексор. Аналоговый входной мультиплексор управляется регистром ADCHS. Имеются два набора служебных битов мультиплексора в регистре ADCHS, которые функционируют тождественно. Эти два набора служебных битов позволяют двум различным аналоговым входным конфигурациям мультиплексора быть запрограммированными, которые называются MUX A и MUX B. A/D конвертер может произвольно переключать между MUX A и MUX B конфигурации между преобразованиями. A/D конвертер может также произвольно сканировать последовательности аналоговых вводов.

Время выборки – это время в течении которого S/N усилитель A/D модуля связан с аналоговым входным штырьком. Время выборки может быть начато вручную, установкой SAMP бита (ADCON1 < 1 >) или начато автоматически аппаратными средствами A/D конвертера. Время выборки может быть закончено вручную, очисткой служебного бита SAMP программой пользователя или автоматически источником запуска цикла преобразования.

Время преобразования – это время, требуемое для A/D конвертера, чтобы преобразовать напряжение, выбранное S/N усилителем. A/D отключен от аналогового входного штырька в конце времени выборки. A/D конвертеру требуется один A/D тактовый цикл (TAD), чтобы преобразовать каждый бит результата плюс один дополнительный тактовый цикл. Общее количество 12 TAD циклов требуется, чтобы исполнить законченное преобразование. Когда время преобразования закончено, результат загружен в один из 16 A/D регистров результата (ADCBUF0 ... ADCBUFF), S/N повторно связывается с входным штырьком, и прерывание ЦПУ может быть сгенерировано.

Сумма времени выборки и времени A/D конвертирования обеспечивает полное время преобразования. Имеется минимальное время выборки, гарантирующее, что S/N усилитель даст желательную точность для A/D преобразования (см. Раздел 17.16 "Требования A/D выборки"). Кроме того имеется множество входные временных параметров для A/D конвертера. Пользователь должен выбрать входную временную опцию часов, которая не нарушает минимум TAD спецификация.

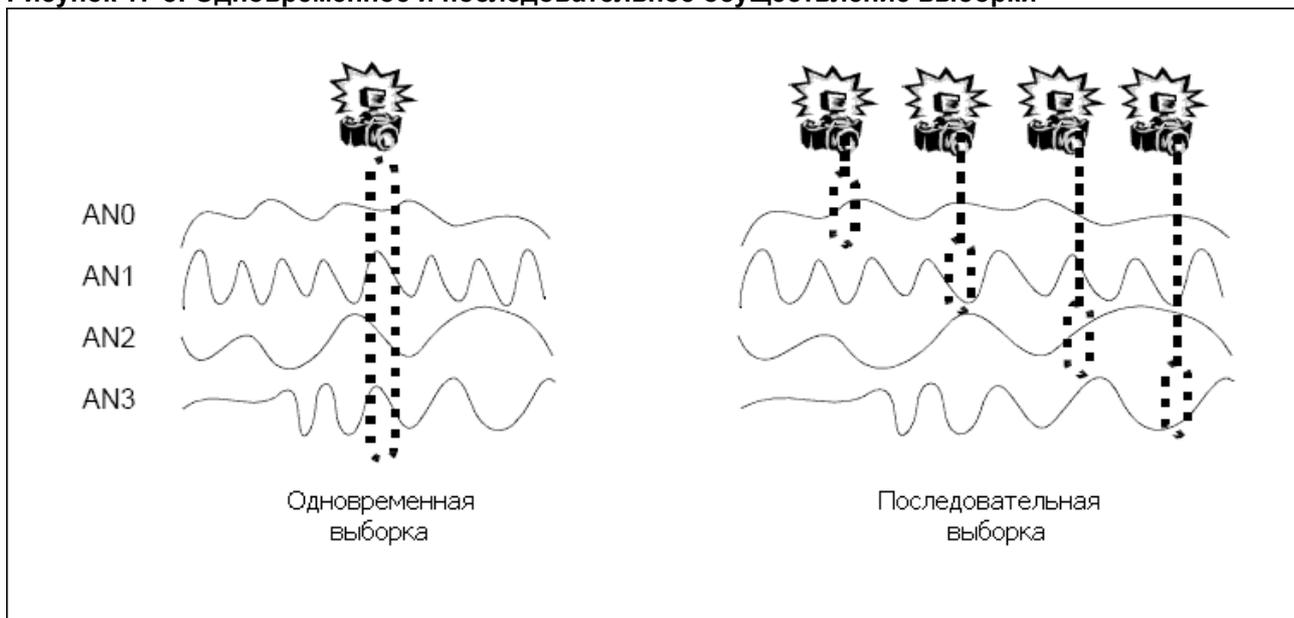
**Рисунок 17-2: A/D Выборка/преобразование последовательность**



10-разрядный A/D конвертер позволяет много параметров для определения последовательности выборка/преобразование. Последовательность выборка / преобразование может быть очень простой, типа как показана на рис. 17-3. Например на рис. 17-3 используется только один S/N усилитель. Более сложная последовательность выборка / преобразование исполняет многократные преобразования, использующие больше чем один S/N усилитель. 10-разрядный A/D конвертер может использовать два S/N усилителя, чтобы исполнить два преобразования в последовательности выборка / преобразование или четыре S/N усилителя с четырьмя преобразованиями. Число S/N усилителей, или каналов в выборку, используемых в последовательности выборка / преобразование определено CHPS служебными битами.

Последовательность выборки / преобразования, которая выполняется для нескольких каналов может осуществлять одновременную выборку или последовательную выборку, в зависимости от управляющего бита SIMSAM (ADCON1 < 3 >). Одновременное осуществление выборки нескольких сигналов гарантирует, что снимок аналоговых вводов происходит в одно и тоже время для всех входов. Последовательное осуществление выборки берет снимок каждого аналогового ввода непосредственно перед тем, как запускается преобразование на том вводе, и осуществлении выборки нескольких вводов не согласована.

**Рисунок 17-3: Одновременное и последовательное осуществление выборки**



Начальное время для осуществления выборки может управляться программно, установкой SAMP служебного бита. Начало осуществления выборки время может также управляться автоматически аппаратными средствами. Когда A/D конвертер работает в режиме Авто-выборки, S/H усилитель(и) пересоединяют аналоговый входной вывод в конце преобразования в производимой последовательности выборка / преобразование. Функция авто-выборки управляется ASAM служебным битом (ADCON1 < 2 >).

Источник запуска преобразования заканчивает время выборки и начинает A/D преобразование или последовательность выборка / преобразование. Источник запуска преобразования выбирается SSRC служебными битами. Источник запуска преобразования может быть принят из ряда аппаратных источников, или может управляться вручную в программном обеспечении, очищая SAMP служебный бит. Один из источников запуска преобразования есть авто-преобразование. Время между авто-преобразованиями установлено счетчиком и синхронизацией A/D. Режим авто-выборки и авто-преобразование триггер запуска могут использоваться вместе, чтобы обеспечить бесконечные автоматические преобразования без программного вмешательства.

Прерывание может быть сгенерировано в конце, каждой последовательности выборка / преобразование или нескольких последовательностей выборка / преобразование определенных значением служебных битов SMP1 в ADCON2 <5:2>. Количество последовательностей выборка / преобразование между прерываниями, может измениться между 1 и 16. Пользователь должен обратить внимание, что A/D конверсионный буфер хранит 16 результатов, когда значение SMP1 выбрано. Общее количество результатов преобразования между прерываниями - изделие(программа) каналов в выборку и значение SMP1. Общее количество преобразований между прерываниями не должно превысить длину буфера.

## 17.5 Конфигурация модуля A/D

Следующие шаги должны сопровождать выполнение A/D преобразования:

### 1. Конфигурирование модуля A/D

- Выбрать ножки порта как аналоговые входы ADPCFG <15:0>
  - Выбрать опорный источник напряжения соответствующий ожидаемому диапазону аналогового ввода ADCON2 <15:13>
  - Выбрать тактовую частоту преобразования соответствующую желаемой скорости оценки данных с процессорной тактовой частоты ADCON3 <5:0>
  - Определить сколько S/H каналов будут использоваться ADCON2 <9:8> и ADPCFG <15:0>
  - Определяют, как произойдет осуществление выборки, ADCON1 <3> и ADCSSL <15:0>
  - Определяют, как входы будут распределены между S/H каналам ADCHS <15:0>
  - Выбирают соответствующую последовательность выборка / преобразование ADCON1 <7:0> и ADCON3 <12:8>
  - Выбрать, как результаты преобразования будут представлены в буфере ADCON1 <9:8>
  - Выбора темп прерываний ADCON2 <5:9>
  - Включить A/D модуль ADCON1 <15>
- ### 2. Выбор конфигурации A/D прерываний (если требуется)
- Очистить ADIF бит
  - Выбрать приоритет A/D прерываний
- Опции для каждого шага конфигурации описаны в последующих разделах.

## 17.6 Выбор источника опорного напряжения

Опорные напряжения для A/D преобразований выбираются используя VCFG <2:0> служебные биты (ADCON2 < 15:13 >). В качестве верхнего опорного напряжения (VREFH) и нижнего опорного напряжения (VREFL) может использовать внутренние AVDD и AVSS шины напряжения или выводы VREF+ и VREF-.

Внешние штырьки опорного напряжения могут быть совмещены с выводами AN0 и AN1 на устройствах с малым количеством выводов. A/D конвертер может все еще исполнять преобразования на этих штырьках, когда они совмещены с VREF+ и VREF- выводами.

Напряжения, прикладываемые к выводам внешнего опорного напряжения должны соответствовать некоторым требованиям. Обратитесь к разделу " Электрические спецификации " даташита для дальнейших подробностей.

**Примечание:** Внешние VREF+ и VREF- входы должен быть выбран для скорости преобразования более чем 500 ksps. См. Раздел 17.22" Скорости A/D преобразования" для дальнейших подробностей.

## 17.7 Выбор тактовой частоты A/D преобразования

A/D преобразователь имеет максимальную скорость по которой преобразования могут быть закончены. Тактовая частота аналогового модуля, TAD, управляет синхронизацией преобразования. A/D преобразование требует 12 периодов тактовой частоты (12 TAD). Тактовая частота A/D получена из системной частоты или внутреннего RC источника синхронизации.

Период частоты A/D преобразования программно выбирается с использованием 6-разрядного счетчика. Имеются 64 возможных параметра для TAD, определяемых ADCS <5:0> битами (ADCON3 < 5:0 >). Уравнение 17-1 дает значение TAD, как функция ADCS служебных битов и периода системной (процессорной) тактовой частоты Tcy.

### Уравнение 17-1: Период A/D Преобразования

$$TAD = Tcy * (ADCS + 1) / 2$$
$$ADCS = (2 * TAD / Tcy) - 1$$

Для корректного A/D преобразования, период A/D преобразования (TAD) должен быть выбран, чтобы гарантировать минимум TAD время 83.33 nsec (см. Раздел 17.22" Скорости A/D преобразования для дальнейших подробностей).

A/D конвертер имеет специализированный внутренний RC генератор, который может использоваться, чтобы исполнить преобразования. Внутренний RC генератор, должен использоваться, когда A/D преобразования выполняются во время спящего режима dsPIC30F. Внутренний RC генератор выбирается установкой ADRC бита (ADCON3 < 7 >). Когда ADRC бит установлен, ADCS <5:0>, биты не имеют никакого эффекта на операцию A/D.

## 17.8 Выбор аналоговых входов для осуществления выборки

Все усилители выборки-хранения имеют аналоговые мультиплексоры (см. Рисунок 17-1) на оба их не инвертирующих и инвертирующих входа, чтобы выбрать, который аналоговый ввод(ы) считывается. Как только последовательность выборки / преобразование определена, ADCHS биты определяют, которые аналоговые входы выбраны для каждой выборки.

Дополнительно, выбранные входы могут измениться на переменный базис выборки или могут измениться на повторной последовательности выборок.

Тот же самый аналоговый ввод может быть связан с два или больше каналами выборки хранения, чтобы улучшить показатель преобразования.

**Примечание:** Различные устройства будут иметь различные числа аналоговых вводов. Проверьте доступность аналоговых входов в даташите.

### 17.8.1 Конфигурирование выводов аналогового порта

Регистр ADPCFG, определяет состояние входов выводов устройства, используемых как аналоговые входы.

Вывод конфигурирован как аналоговый ввод, когда соответствующий PCFGn бит (ADPCFG < n >) очищен. Регистр ADPCFG очищается при сбросе, заставляя входные выводы A/D быть конфигурированными для аналогового ввода, по умолчанию при Сбросе.

Когда сконфигурировано для аналогового ввода, связанный порт Ввод - вывод цифровой входной буфер заблокирован и не потребляет ток.

Регистр ADPCFG и регистр TRISB управляют работой A/D выводов порта.

Выводы порта, которые желательны как аналоговые входы, должны иметь их соответствующий TRIS бит установленным, определяя ввод порта. Если I/O штырек связанный с вводом A/D конфигурирован как вывод, бит TRIS очищен, и цифровые уровни на выходе портов (VOH или VOL) будут преобразованы. После Сброса устройства, все биты TRIS установлены.

Штырек конфигурирован как цифровой I/O, когда соответствующий PCFGn бит (ADPCFG < n >) установлен. В этой ситуации, ввод на аналоговый мультиплексор связан с AVSS.

**Примечание 1:** Когда читается регистр A/D порта, любой штырек, конфигурированный как аналоговый вход читает как "0".

**2:** Аналоговые уровни на любом штырьке, который определен как цифровой ввод (включая штырьки AN15:AN0) могут заставлять входной буфер потреблять ток, который находится из спецификации устройства.

### 17.8.2 Выбор Канал 0 ввод

Канала 0 наиболее гибкий из 4 S/H каналов в условии выбора аналоговых вводов. Пользователь может выбирать любой из 16 аналоговых вводов как ввод к положительному вводу канала. CH0SA <3:0> биты (ADCHS < 3:0 >) обычно выбирают аналоговый ввод для положительного ввода канала 0.

Пользователь может выбирать также VREF- или AN1 как отрицательный ввод канала. CH0NA бит (ADCHS < 4 >) обычно выбирает аналоговый ввод для отрицательного ввода канала 0.

### 17.8.2.1 Специфика изменения выбора входа Канала 0

ALTS бит (ADCON2 < 0 >) заставляет модуль чередовать между двумя наборами вводов, которые выбраны в течение последовательных выборок.

Входы, определённые через CH0SA <3:0>, CH0NA, CHXSA и CHXNA <1:0> все вместе называются MUX A входами. Входы, определённые через CH0SB <3:0>, CH0NB, CHXSB и CHXNB <1:0> все вместе называются MUX B входами. Когда бит ALTS равен "1", модуль чередует между MUX A входы на одной выборке и MUX B входы на последующей выборке.

Для канала 0, если бит ALTS равен "0", только входы, указанные CH0SA <3:0> и CH0NA, выбраны для осуществления выборки.

Если бит ALTS равен "1", сначала производят последовательность выборка / преобразование для канала 0 и входы, указанные CH0SA <3:0> и CH0NA, выбраны для осуществления выборки. На следующей последовательности выборка/преобразование для канала 0, входы, указанные CH0SB <3:0> и CH0NB, выбраны для осуществления выборки. Этот образец будет повторяться для последующих типовых последовательностей преобразования.

Обратите внимание, что, если несколько каналов (CHPS = 01 или 1x) и одновременное осуществление выборки (SIMSAM = 1) определены, чередование входов изменит каждую выборку, потому что все каналы выбраны на каждом времени выборки. Если несколько каналов (CHPS = 01 или 1x) и последовательное осуществление выборки (SIMSAM = 0) определены, чередование входов может измениться только на каждой выборке специфического канала.

### 17.8.2.2 Сканирование различных входов с каналом 0

Канала 0 имеет способность сканировать через выбранный вектор вводов. CSCNA бит (ADCON2 < 10 >) дает возможность вводам канала CH0 быть просмотренным через выбранное число аналоговых входов. Когда CSCNA установлен, CH0SA <3:0>, биты игнорируются.

Регистр ADCSSL определяет вводы, которые будут сканированы. Каждый бит в регистре ADCSSL соответствует аналоговому вводу. Бит 0 соответствует AN0, бит 1 соответствует AN1 и так далее. Если конкретный бит в регистре ADCSSL равен "1", соответствующий вход - часть последовательности просмотра. Входы всегда просматриваются от более низкого до выше пронумерованных вводов, начинающихся в первом выбранном канале после того, как каждое прерывание происходит.

**Примечание:** Если число выбранных входов сканирования больше чем число выборок, принятых в прерывание, выше пронумерованные входы не будут выбраны.

ADCSSL биты только определяют вход положительного входа канала. CH0NA бит все еще выбирает вход отрицательного входа канала в течение сканирования.

Если бит ALTS равен "1", сканирование применяется только к MUX A выбору входов. MUX B выбор входов, как определено CH0SB <3:0>, будет все еще выбирать чередование входов канала 0. Когда входные выборы запрограммированы этим способом, вход канала 0 чередуется между набором сканирования входов, указанных регистром ADCSSL и установленным входом, указанным CH0SB битами.

### 17.8.3 Выбор входа канала 1, 2 и 3

Канал 1, 2 и 3 может производить выборку подмножества аналоговых входных ножек. Канал 1, 2 и 3 может выбрать одну из двух групп из 3 входов.

CHXSA бит (ADCHS < 5 >) выбирает источник для положительных входов канала 1, 2 и 3. Очистка CHXSA выбирает AN0, AN1 и AN2 как аналоговый источник к положительным вводам канала 1, 2 и 3, соответственно. Установка бита CHXSA выбирает AN3, AN4 и AN5 как источник аналогового сигнала.

CHXNA <1:0> биты (ADCHS < 7:6 >) выбирают источник для отрицательных входов канала 1, 2 и 3.

Программирование CHXNA = 0x, выбирает VREF- как аналоговый источник для отрицательных входов канала 1, 2 и 3. Программирование CHXNA = 10 выбирает AN6, AN7 и AN8 как аналоговый источник к отрицательным входам канала 1, 2 и 3 соответственно. Программирование CHXNA = 11 выбирает AN9, AN10 и AN11 как аналоговый источник.

#### 17.8.3.1 Выбор нескольких каналов для отдельного аналогового входа

Аналоговый входной мультиплексор, может быть конфигурирован так, чтобы тот же самый входной штырек был связан с два или больше каналами выборки / хранения. A/D конвертируемое значение удерживается на одном S/H канале, в то время как в другой S/H канал приобретает новую входную выборку.

#### 17.8.3.2 Определении чередования канала 1, 2 и 3 входа выборки

Как с входами канала 0, ALTS бит (ADCON2 < 0 >) заставляют модуль чередоваться между двумя наборами входов, которые выбраны в течение последовательных выборок для канала 1, 2 и 3.

MUX A входы, указанные CHXSA и CHXNA <1:0> всегда выбирают ввод при ALTS = 0.

MUX A входы чередуются с MUX B входами, указанные CHXSB и CHXNB <1:0> когда ALTS = 1.

### 17.9 Включение модуля

Когда ADON бит (ADCON1 < 15 >) равен "1", модуль находится в активном режиме и полностью включен и функционален.

Когда ADON равен "0", модуль заблокирован. Цифровые и аналоговые части схемы выключены для минимизации потребления тока.

Чтобы возвращаться активному режиму из выключенного режима, пользователь должен ждать стабилизации аналогового состояния. Для стабилизации время, обратитесь к электрическому разделу характеристик листа данных устройства.

**Примечание:** SSRC <2:0>, SIMSAM, ASAM, CHPS <1:0>, SMP1 <3:0>, BUFM и ALTS биты, также как ADCON3 и регистры ADCSSL, не должен быть записан в то время как ADON = 1. Это вело бы к неопределенным результатам.

### 17.10 Определение последовательности выборки / преобразование

10-разрядный A/D модуль имеет 4 усилителя выборки / хранения и один A/D конвертер. Модуль может исполнять 1, 2 или 4 входных выборки, и A/D преобразование в течении последовательности выборки / преобразование.

#### 17.10.1 Число каналов выборки / хранения

CHPS <1:0> служебные биты (ADCON2 < 9:8 >) используются, чтобы выбрать, сколько S/H усилителей используются A/D модулем в течение последовательности выборки / преобразования. Следующий три параметра могут быть выбраны:

- CH0 только
- CH0 и CH1
- CH0, CH1, CH2, CH3

CHPS биты управления работают в конъюнкции с SIMSAM (одновременная выборка) битом управления (ADCON1 < 3 >).

### 17.10.2 Одновременное осуществление выборки

Некоторое приложение может требовать, чтобы несколько сигналов были опрошены в точно то же самое время. SIMSAM бит управления (ADCON1 < 3 >) работает вместе с CHPS битами управления и управляет последовательностью выборки / преобразование для нескольких каналов как показано в Таблице 17.1. SIMSAM бит управления не имеет никакого эффекта на операцию модуля если CHPS<1:0> = 00. Если больше чем один S/H усилитель допускается CHPS битами управления и SIMSAM бит равен "0", то два или четыре выбранных канала выбраны и преобразованы последовательно с двумя или четырьмя периодами выборки. Если SIMSAM бит равен "1", два или четыре выбранных канала делают одновременную выборку с одним периодом выборки. Каналы тогда конвертируются последовательно.

**Таблица 17-1: Параметры управления выборкой / преобразованием**

CHPS <1:0>	SIMS AM	Последовательность выборка/преобразование	Число циклов выборка/преобразование чтобы завершить	Прим ер
00	X	Выборка и преобразование CH0	1	Рис. 17-4, Рис. 17-5, Рис. 17-6, Рис. 17-7, Рис.17-10, Рис.17-11, Рис.17-14, Рис.17-15
01	0	Выборка и преобразование CH0 Выборка и преобразование CH1	2	
1X	0	Выборка и преобразование CH0 Выборка и преобразование CH1 Выборка и преобразование CH2 Выборка и преобразование CH3	4	Рис.1 7-9, Рис.17-13, Рис.17-20
01	1	Выборка CH0 и CH1 одновременно Преобразование CH0 Преобразование CH1	1	Рис.1 7-18
1X	1	Выборка CH0, CH1, CH2 и CH3 одновременно Преобразование CH0 Преобразование CH1 Преобразование CH2 Преобразование CH3	1	Рис. 17-8, Рис.17-12, Рис.17-16, Рис.17-17, Рис.17-9

### 17.11 Как начать выборку

#### 17.11.1 Вручную

Установка SAMP бита (ADCON1 < 1 >) заставляет A/D начать выборку. Один из нескольких параметров может использоваться, чтобы закончить выборку и завершить преобразование. Осуществление выборки не будет возобновлять, пока SAMP бит не будет еще раз установлен. Для примера, см. Рисунок 17-4.

#### 17.11.2 Автоматически

Установка ASAM бита (ADCON1 < 2 >) заставляет A/D автоматически начинать производить выборку канала всякий раз, когда преобразование не активно на том канале. Один из нескольких параметров может использоваться, чтобы закончить осуществление выборки и завершить преобразования. Если SIMSAM бит определяет последовательное осуществление выборки, осуществление выборки на следующем канале после того, как преобразование текущего канала завершено. Если SIMSAM бит определяет одновременное осуществление выборки, осуществление выборки на следующем канале после того, как преобразование всех каналов завершено. Для примера, см. Рисунок 17-5.

## 17.12 Как прекратить выборку и начать преобразование

Источник запуска преобразования закончит осуществление выборки и запускать выбранную последовательность преобразований. SSRC <2:0> биты (ADCON1 < 7:5 >) выбирают источник запуска преобразования.

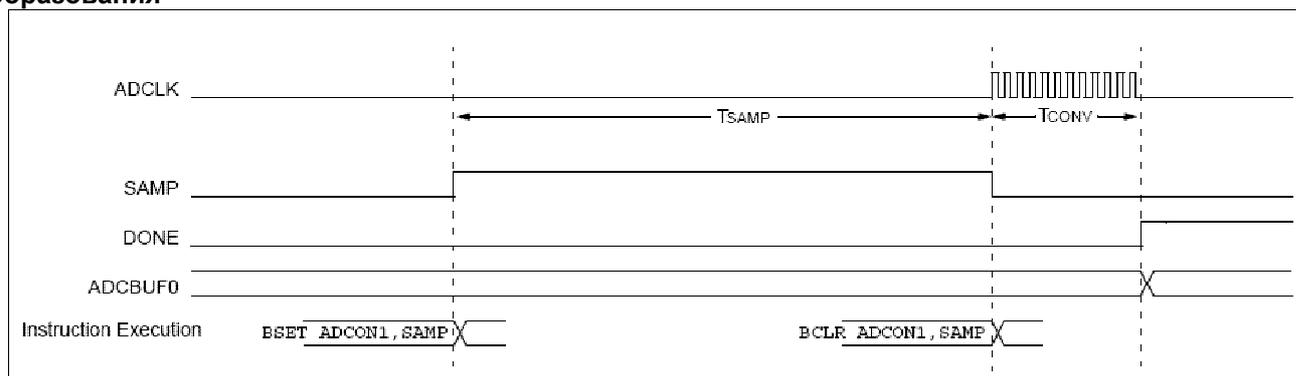
**Примечание:** Доступные источники запуска преобразования могут измениться в зависимости от dsPIC30F варианта устройства. Пожалуйста обратитесь листу данных устройства для доступных источников запуска преобразования.

**Примечание:** SSRC биты выбора не должны изменяться, когда A/D модуль разрешён. Если пользователь желает изменить источник запуска преобразования, A/D модуль должен быть сначала заблокирован, очисткой ADON бита (ADCON1 < 15 >).

### 17.12.1 Вручную

Когда SSRC<2:0> = 000, запуск преобразования находится под управлением программы. Очистка SAMP бита (ADCON1 < 1 >) начинает последовательность преобразования. На рис. 17-4 показан пример, где установка бита SAMP инициализирует выборку и очистка бита SAMP заканчивает осуществление выборки и начинает преобразование. Программное обеспечение пользователя должно, в моменты установки и очистки SAMP бита, гарантировать требуемое время осуществления выборки входного сигнала. См. пример 17-1 для примера кода.

**Рисунок 17-4: Преобразование канала 1, ручной старт выборки, ручное начало преобразования**

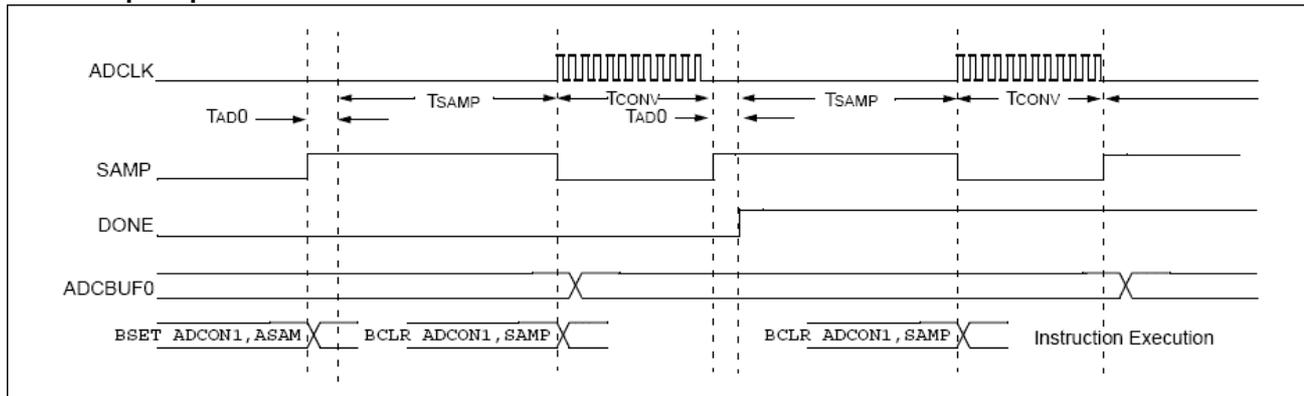


**Пример 17-1: Преобразование канала 1, ручной старт выборки, ручное начало преобразования код**

```
ADPCFG = 0xFFFFB; // все PORTB = Цифровые; RB2 =
аналоговый
ADCON1 = 0x0000; // SAMP бит = 0 конец выборки ...
// и старт преобразования
ADCHS = 0x0002; // Подключить RB2/AN2 как вход CH0 ..
// в этом примере RB2/AN2 - вход
ADCSSL = 0;
ADCON3 = 0x0002; // Ручная выборка, Tad = внутренний 2
Tcy
ADCON2 = 0;
ADCON1bits.ADON = 1; // включить ADC
while (1) // повторять непрерывно
{
ADCON1bits.SAMP = 1; // начать выборку ...
DelayNmSec(100); // для 100 mS
ADCON1bits.SAMP = 0; // начать преобразование
while (!ADCON1bits.DONE); // преобразование завершено?
ADCValue = ADCBUF0; // да, тогда получить ADC значение
} // повторить
```

На рис. 17-5 изображён пример, где установка бита ASAM инициализирует автоматическое осуществление выборки и очистка бита SAMP заканчивает осуществление выборки и начинает преобразование. После завершения преобразования модуль автоматически возвратится к состоянию осуществления выборки. SAMP бит автоматически установлен в начале интервала выборки. Программное обеспечение пользователя в момент очистки SAMP бита гарантировать требуемое время выборки входного сигнала, понимая, что время между очистками SAMP бита включает время преобразования также как осуществление выборки время. См. Пример 17-2 для примера кода.

**Рисунок 17-5: Преобразование 1 Канал, автоматическое начало выборки, ручное начало преобразования**



**Пример 17-2: Преобразование 1 Канал, автоматическое начало выборки, ручное начало преобразования код**

```

ADPCFG = 0xFF7F;           // все PORTB = цифровые но RB7 =
аналоговый
ADCON1 = 0x0004;           // бит ASAM = 1 подразумевает выборку ..
// немедленные запуски после предыдущего
// сделанного преобразованич
ADCHS = 0x0007;           // Подключить RB7/AN7 как CH0 вход ..
// в этом примере RB7/AN7 вход
ADCSSL = 0;
ADCON3 = 0x0002;           // Ручное время выборки, Tad =
внутренний 2 Tcy
ADCON2 = 0;
ADCON1bits.ADON = 1;      // включить ADC
while (1)                  // повторять непрерывно
{
    DelayNmSec(100);       // выборка для 100 mS
    ADCON1bits.SAMP = 0;   // начало преобразования
    while (!ADCON1bits.DONE); // преобразование сделано?
    ADCValue = ADCBUF0;    // да, тогда получить ADC значение
}                           // повторить

```

## 17.12.2 Синхронный запуск преобразования

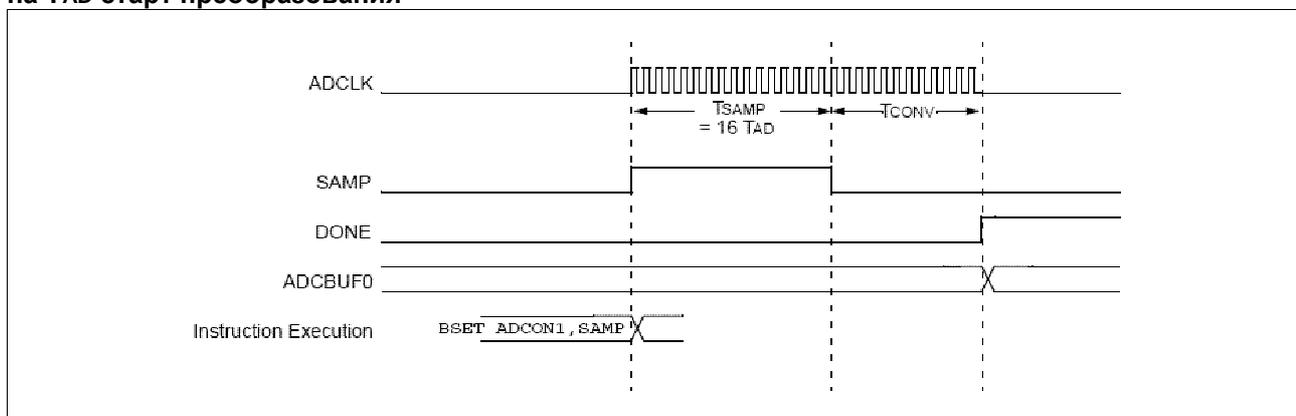
Когда  $SSRC\langle 2:0 \rangle = 111$ , запуск преобразования находится под управлением тактовой частоты A/D. SAMP биты ( $ADCON3 \langle 12:8 \rangle$ ) выбирают число TAD тактовых циклов между началом осуществления выборки и начала преобразования. Эта опция запуска обеспечивает самые быстрые конверсионные нормы на нескольких каналах. После начала осуществления выборки, модуль будет считать число TAD периодов, указанное SAMP битами.

### Уравнение 17-2: Синхронизированное время запуска преобразования

$$TSMP = SAMP\langle 4:0 \rangle * TAD$$

Когда используется только 1 S/H канал или одновременное осуществление выборки, SAMP должен быть всегда запрограммирован для по крайней мере одного тактового цикла. При использовании нескольких S/H каналов с последовательным осуществлением выборки, программирование SAMP для нулевых тактовых циклов приведет к самой быстрой возможной скорости преобразования. См. Пример 17-3 для примера кода.

### Рисунок 17-6: Преобразование 1 канала, ручное начало выборки, основанный на TAD старт преобразования



### Пример 17-3: Преобразование 1 канала, ручное начало выборки, основанный на TAD старт преобразования код

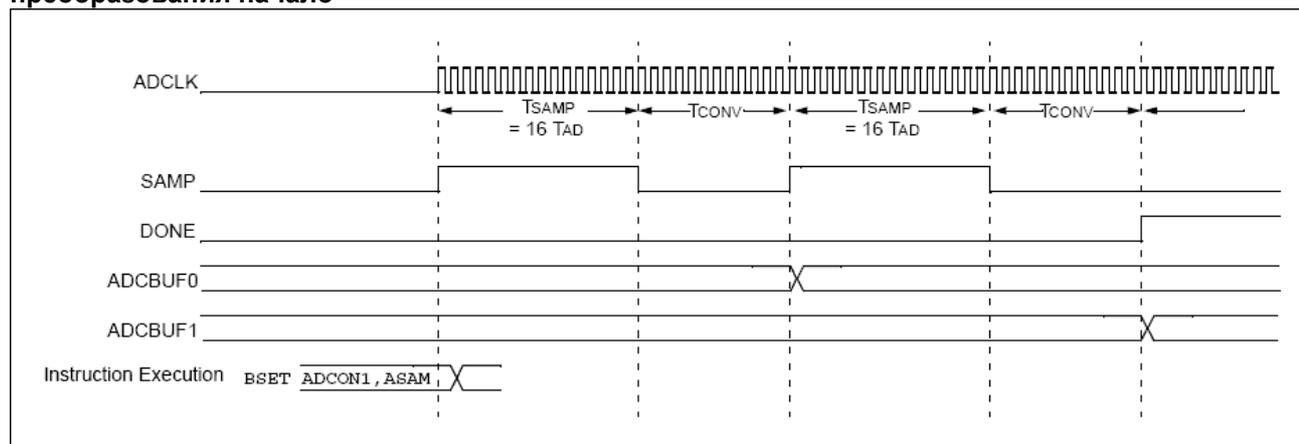
```
ADPCFG = 0xEFFF; // все PORTB = цифровые; RB12 =
аналоговый
ADCON1 = 0x00E0; // бит SSRC = 111 подразумевает
внутренний
// счётчик окончание выборки и старт
// преобразования.
ADCHS = 0x000C; // Подключить RB12/AN12 как CH0 вход ..
// в этом примере RB12/AN12 есть вход
ADCSSL = 0;
ADCON3 = 0x1F02; // время выборки = 31Tad, Tad =
внутренний 2 Tcy
ADCON2 = 0;
ADCON1bits.ADON = 1; // включить ADC
while (1) // повторять непрерывно
{
    ADCON1bits.SAMP = 1; // начать выборку затем ...
    // после 31Tad идти на преобразование
    while (!ADCON1bits.DONE); // преобразование готово?
    ADCValue = ADCBUF0; // да, тогда получить ADC значение
} // повторять
```

### 17.12.2.1 Свободный запуск последовательности Выборка/преобразование

Как показано на рисунке 17-7, используя режим запуска преобразования Авто-преобразование (SSRC = 111) в комбинации с режимом старта Авто-выборка (ASAM = 1), позволяет A/D модулю намечать последовательность выборка / преобразование без вмешательства пользователя или другими ресурсами устройства. Этот "Синхронизированный" режим позволяет непрерывный сбор данных после инициализации модуля. См. пример 17-4 для примера кода.

**Примечание:** Эту A/D конфигурацию нужно допустить для скорости преобразования 750 ksp/s (см. Раздел 17.22 "Скорости A/D преобразования" для подробностей)

**Рисунок 17-7: Преобразование 1 канала, старт авто-выборки, TAD основано преобразования начало**



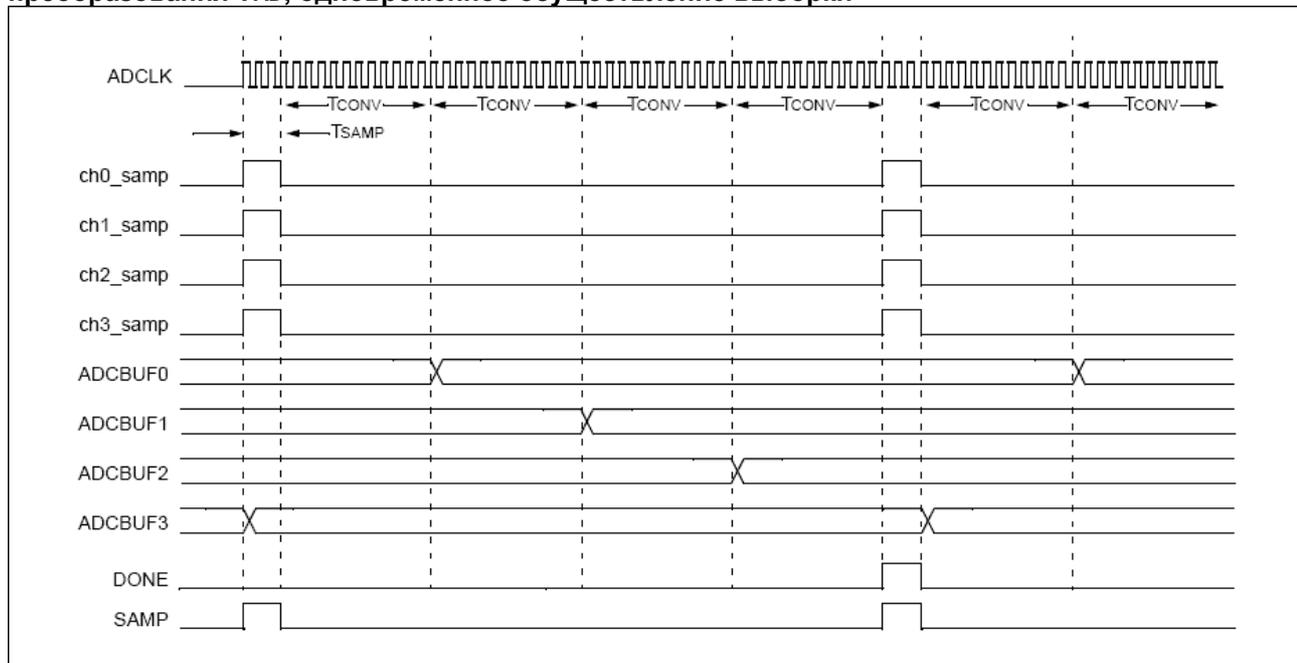
**Пример 17-4: Преобразование 1 канала, старт авто-выборки, TAD основано преобразования начало код**

```
ADPCFG = 0xFFFFB; // все PORTB = цифровые; RB2 =
аналоговый
ADCON1 = 0x00E0; // бит SSRC = 111 подразумевает
внутренний
// счётчик конец выборки и начало
// преобразования.
ADCHS = 0x0002; // Подключить RB2/AN2 к CH0 входу ..
// в этом примере RB2/AN2 вход
ADCSSL = 0;
ADCON3 = 0x0F00; // Выборки время = 15Tad, Tad =
внутренний Tcy/2
ADCON2 = 0x0004; // Прерывание после каждых 2 выборки
ADCON1bits.ADON = 1; // включить ADC
while (1) // повторять непрерывно
{
  ADCValue = 0; // очистить значение
  ADC16Ptr = &ADCBUF0; // Инициализировать ADCBUF указатель
  IFS0bits.ADIF = 0; // очистить ADC флаг прерывания
  ADCON1bits.ASAM = 1; // автоматический старт выборки
  // для 31Tad затем идти на преобразование
  while (!IFS0bits.ADIF); // преобразование готово?
  ADCON1bits.ASAM = 0; // да, тогда остановить выборку/преобразование
  for (count = 0; count < 2; count++) // среднее 2 ADC значений
    ADCValue = ADCValue + *ADC16Ptr++;
  ADCValue = ADCValue >> 1;
} // повторить
```

### 17.12.2.2 Несколько каналов с одновременной выборкой

Как показано в Рисунке 17-8 при использовании одновременного осуществления выборки, значение SAMC определяет время осуществление выборки. В примере, SAMC определяет типовое время 3 TAD. Поскольку старт автоматической выборки активен, осуществление выборки начнется на всех каналах после окончания последнего преобразования и продолжится для 3 A/D тактов. См. пример 17-5 для примера кода.

**Рисунок 17-8: Преобразование 4 Канала, Авто-выборки старт, старт преобразования TAD, одновременное осуществление выборки**



**Пример 17-5: Преобразование 4 Канала, Авто-выборки старт, старт преобразования TAD, одновременное осуществление выборки код**

```

ADPCFG = 0xFF78;           // RB0,RB1,RB2 & RB7 = аналоговые
ADCON1 = 0x00EC;           // SIMSAM bit = 1 подразумевает ...
// одновременную выборку
// ASAM = 1 для авто-выборки после преобразования
// SSRC = 111 для 3Tad времени выборки
ADCHS = 0x0007;           // Подключить AN7 к CH0 входу
ADCSSL = 0;
ADCON3 = 0x0302;           // Авто выборка 3 Tad, Tad = внутренний
2 Tcy
ADCON2 = 0x030C;           // CHPS = 1x подразумевает одновременную
...
// выборку CH0 - CH3
// SMP1 = 0011 для прерывания после 4 преобразований
ADCON1bits.ADON = 1;       // включить ADC
while (1)                   // повторять непрерывно
{
  ADC16Ptr = &ADCBUF0;      // инициализировать ADCBUF указатель
  OutDataPtr = &OutData[0]; // указатель на первое TXbuffer значение
  IFS0bits.ADIF = 0;        // очистить прерывание
  while (IFS0bits.ADIF);    // преобразование готово?
  for (count = 0; count < 4; count++) // сохранить ADC значение
  {
    ADCValue = *ADC16Ptr++;
    LoadADC(ADCValue);
  }
} // repeat

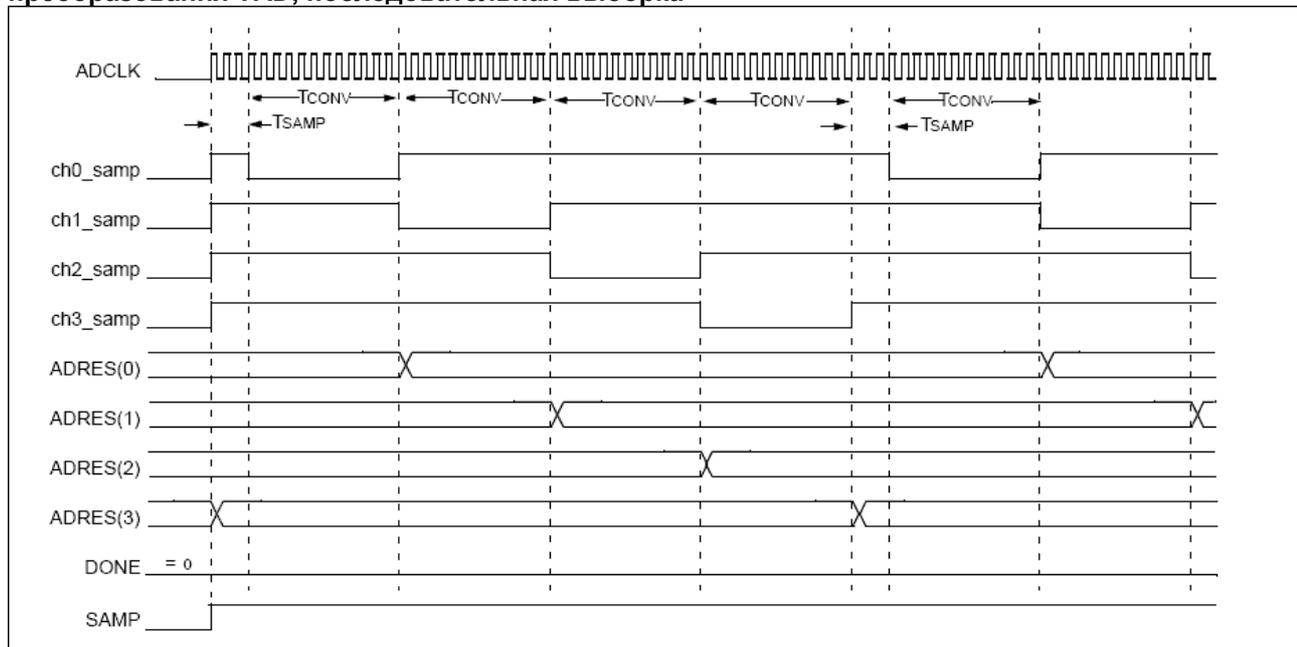
```

### 17.12.2.3 Несколько каналов с последовательной выборкой

Как показано на рисунке 17-9, при использовании последовательной, время выборки предшествует каждому времени преобразования. Например, 3 TAD периода добавлены для времени выборки для каждого канала.

**Примечание:** Эту A/D конфигурацию нужно допустить для скорости преобразования 1 Msps и 600 ksps (см. Раздел 17.22 "Скорости A/D преобразования" для дальнейших подробностей).

**Рисунок 17-9: Преобразование 4 Канала, старт авто-выборки, старт преобразования TAD, последовательная выборка**



### 17.12.2.4 Соображения время выборки, использующие синхронный запуск преобразования и автоматическую выборку

Различные последовательности выборки/преобразования обеспечивают различное доступное время выборки для S/N канала, чтобы приобрести аналоговый сигнал. Пользователь должен гарантировать время выборки, превышающее требуемое время выборки, как выделено в разделе 17.16 "Требования осуществления выборки A/D".

Допустим, что модуль установлен для автоматического осуществления выборки и использует синхронный запуск преобразования, интервал осуществления выборки определен типовым интервалом, указанным SAMC битами.

Если бит SIMSAM определяет одновременное осуществление выборки или только один канал активен, осуществление выборки, период выборки указан SAMC битом.

#### **Уравнение 17-3: Доступное время выборки, одновременное осуществление выборки**

$$T_{SMP} = SAMC<4:0> * TAD$$

Если SIMSAM бит определяет последовательное осуществление выборки, полный интервал используемый для всех каналов – количество канальных интервалов времени осуществления выборки и время преобразования. Время выборки для индивидуального канала есть общий интервал минус время преобразования для этого канала.

#### **Уравнение 17-4: Доступное время выборки, одновременное осуществление выборки**

$T_{SEQ} = \text{каналов на выборку (CH/S)} * ((SAMC<4:0> * TAD) + \text{Время преобразования}(TCONV))$

$$T_{SMP} = (T_{SEQ} - TCONV)$$

**Примечание 1:** CH/S определяется через биты CHPS<1:0>.

**2:** TSEQ полное время необходимое для последовательности выборки/преобразование.

### 17.12.3 Событийный запуск преобразования

Часто желательно синхронизировать конец осуществления выборки и начала преобразования с событием некоторое другое время. A/D модуль может использовать один из трех источников для запуска преобразования.

#### 17.12.3.1 Внешний запуск с ножки INT

Когда  $SSRC\langle 2:0 \rangle = 001$ , A/D преобразование вызывается активным переходом на штырке INT0. Штырек INT0 может быть запрограммирован или для нарастающего фронта или падающего фронта импульса.

#### 17.12.3.2 GP Таймер сравнения запуск

A/D конфигурирован в этом режим запуска, устанавливая  $SSRC\langle 2:0 \rangle = 010$ . Когда соответствие происходит между 32-разрядным таймером TMR3/TMR2, и 32-разрядным комбинированным регистром периода PR3/PR2, специальный сигнал запуска ADC генерируется Timer3. Эта особенность не существует для TMR5/TMR4 пары таймеров. Обратитесь к разделу 12. "Таймеры" для большего количества подробностей.

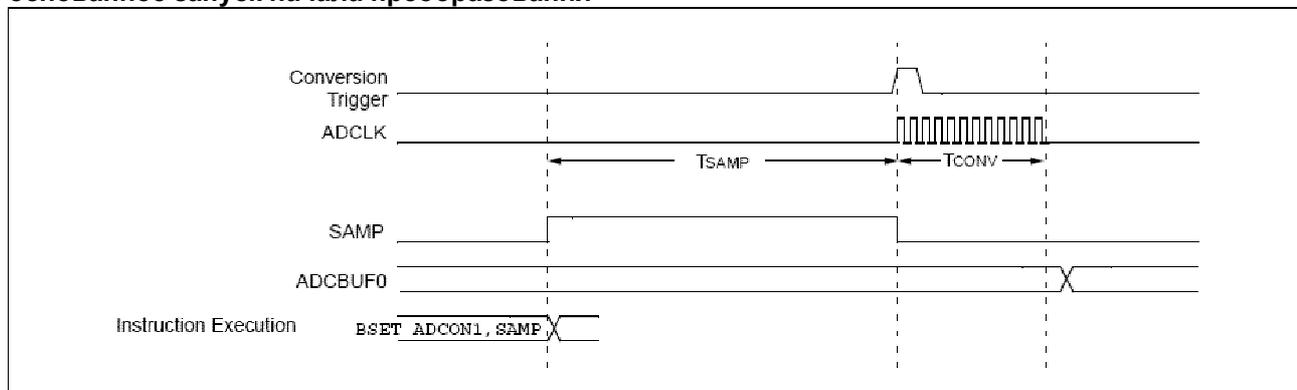
#### 17.12.3.3 Запуск от PWM управления мотором

PWM модуль имеет событийный запуск, который позволяет A/D преобразованиям быть синхронизированными основе PWM периода. Когда  $SSRC\langle 2:0 \rangle = 011$ , A/D периоды выборки и преобразования происходят в любой программируемой пользователем точке в пределах PWM периода. Специальное событие запуска позволяет пользователю минимизировать задержку между временем, когда получены результаты преобразования A/D и время, когда значение заполнения цикла PWM модифицировано. Обратитесь к разделу 15. " PWM управление двигателем" для большего количества подробностей.

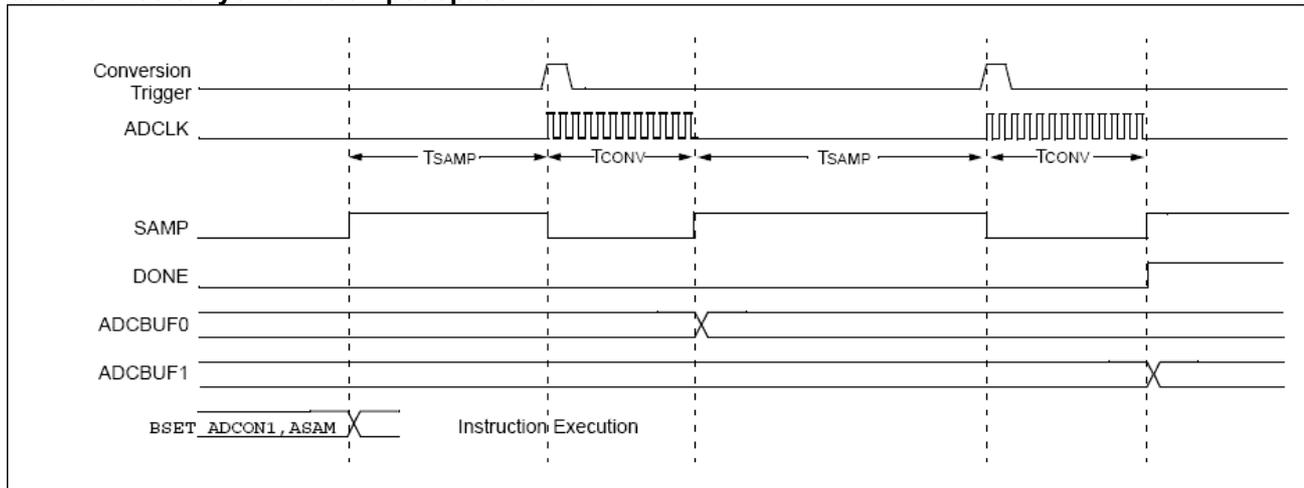
#### 17.12.3.4 Синхронизация работы A/D с внутренними или внешними событиями

Использование режимов, где событие внешний импульс запуска заканчивает выборку и запускает преобразование ( $SSRC = 001, 10, 011$ ) может быть использован в комбинации с авто-выборкой ( $ASAM = 1$ ) чтобы заставить A/D синхронизировать типовые конверсионные события с источником импульса запуска. Например, на рисунке 17-11, где  $SSRC = 010$  и  $ASAM = 1$ , A/D будет всегда заканчивать осуществление выборки и запускать преобразования синхронно с таймера сравнения случай. A/D будет иметь темп выборки преобразования, который соответствует темпу событий сравнения таймера. См. Пример 17-6 для примера кода.

**Рисунок 17-10: Преобразование 1 Канал, ручной старт выборки, преобразование основанное запуск начала преобразования**



**Рисунок 17-11: Преобразование 1 Канал, ручной старт выборки, преобразование основанное запуск начала преобразования**



**Пример 17-6: Преобразование 1 Канал, ручной старт выборки, преобразование основанное запуск начала преобразования код**

```

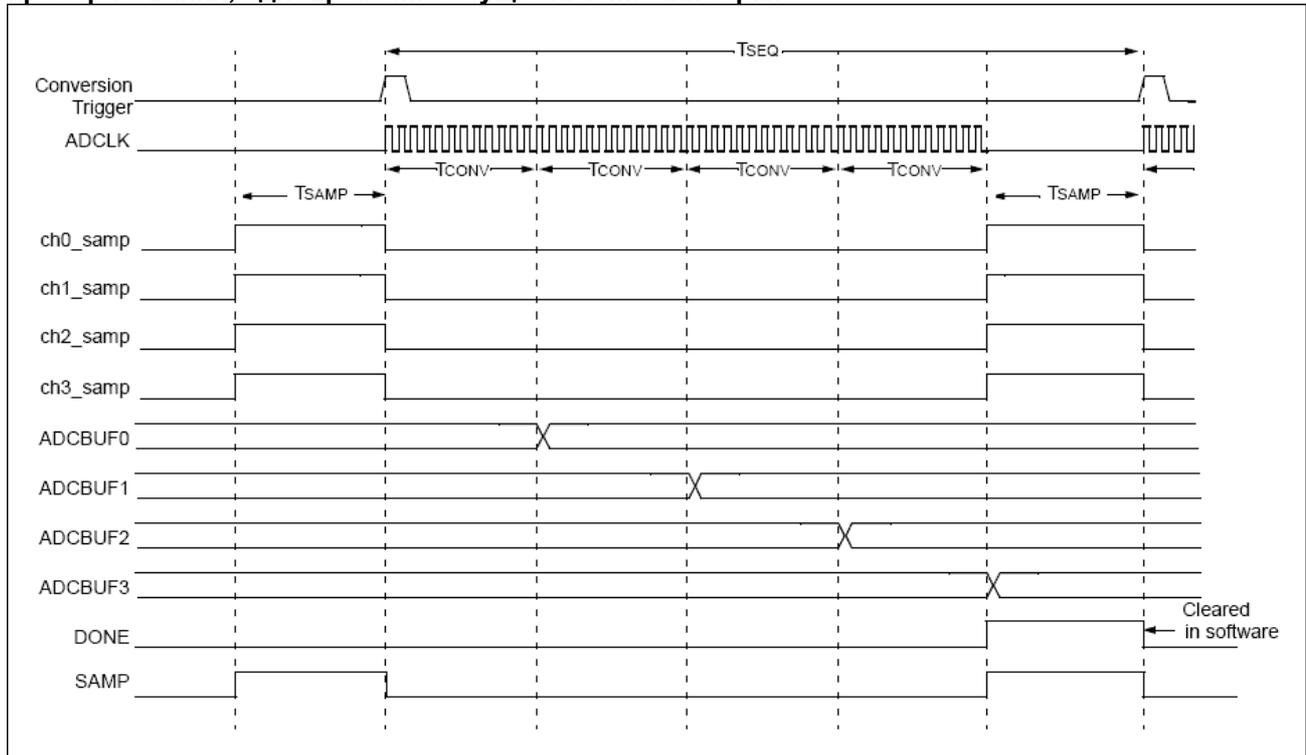
ADPCFG = 0xFFFFB;           // все PORTB = цифровые; RB2 аналоговый
ADCON1 = 0x0040;           // бит SSRC = 010 подразумевает GP TMR3
                             // сравнивать концы выборки и старты
                             // преобразования.
ADCHS = 0x0002;           // Подключить RB2/AN2 к CH0 входу ..
                             // в этом примере RB2/AN2 вход
ADCSSL = 0;
ADCON3 = 0x0000;           // Время выборки есть TMR3, Tad = внутренний
Tcy/2
ADCON2 = 0x0004;           // Прерывание после 2 преобразований
                             // установить TMR3 переполнение каждые 125
                             mSecs

TMR3 = 0x0000;
PR3 = 0x3FFF;
T3CON = 0x8010;
ADCON1bits.ADON = 1;       // включить ADC
ADCON1bits.ASAM = 1;       // старт авто-выборки каждые 125 mSecs
while (1)                  // повторять непрерывно
{
    while (!IFS0bits.ADIF); // преобразование сделано?
    ADCValue = ADCBUF0;     // да, тогда получить первое значение ADC
    IFS0bits.ADIF = 0;     // очистить ADIF
}
    
```

### 17.12.3.5 Несколько каналов с одновременной выборкой

Как показано на рисунке 17-12 когда используется одновременная выборка, осуществление выборки запускается на всех каналах после установки ASAM бита или когда последнее преобразования заканчиваются. Выборка останавливается, и преобразование начинается, когда преобразования запуск происходит.

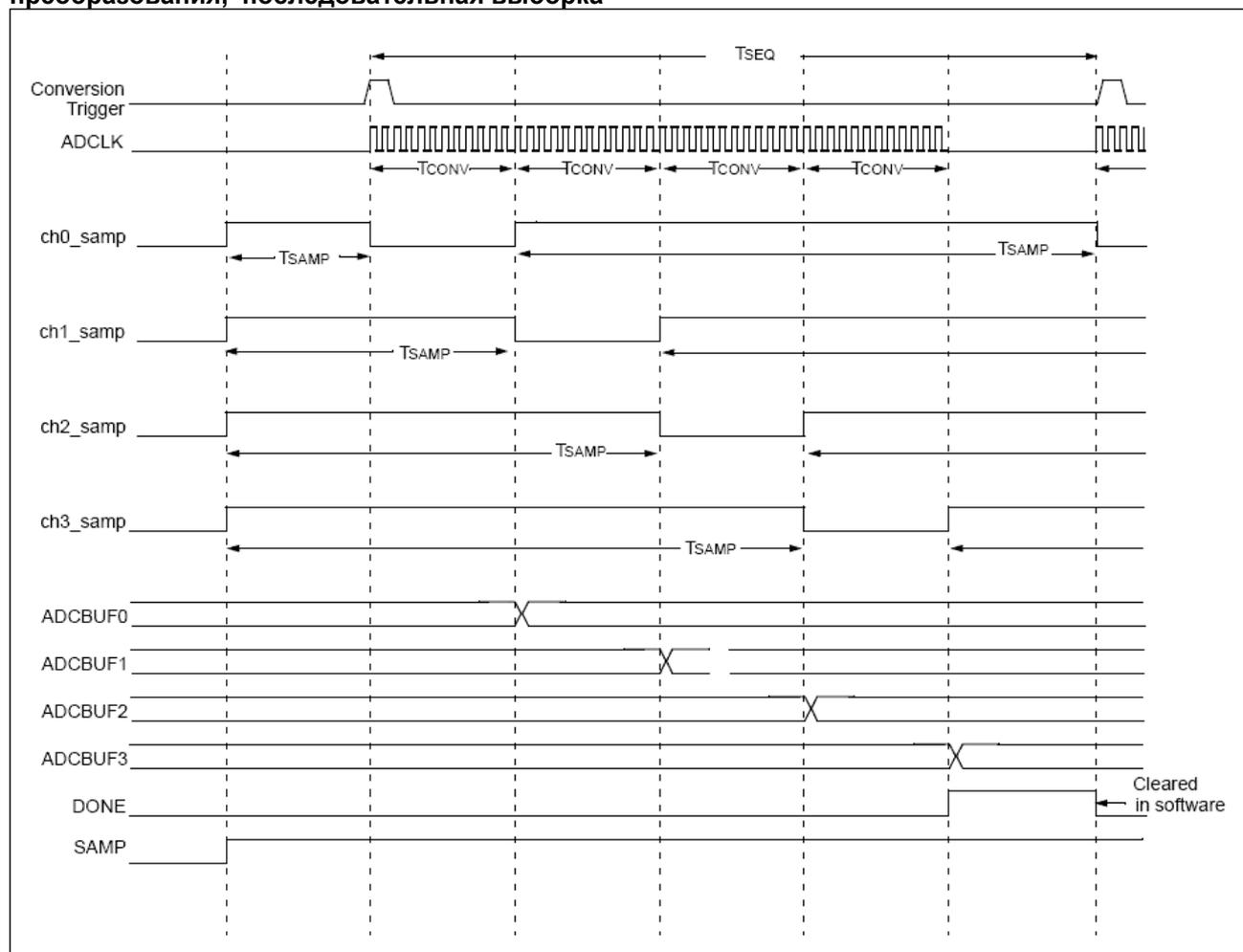
**Рисунок 17-12: Преобразование 4 канала, авто-выборка старт, запуск начала преобразования, одновременно осуществление выборки**



### 17.12.3.6 Несколько каналов с последовательной выборкой

Как показано на рисунке 17-13, при использовании последовательной выборки, выборка для конкретного канала останавливает предшествующее преобразование того канала и продолжится после остановки преобразования.

**Рисунок 17-13: Преобразование 4 канала, старт авто-выборки, запуск начала преобразования, последовательная выборка**



### 17.12.3.7 Типовые соображения времени для автоматических последовательностей выборки / преобразования

Различные выборка / преобразование последовательности обеспечивают различное доступное выборки времена для S/N канала, чтобы приобрести аналоговый сигнал. Пользователь должен гарантировать осуществление выборки, время превышающее требуемое для осуществления выборки, как сказано в Разделе 17.16" Требования A/D выборки".

Предположим, что модуль установлен для автоматического осуществления выборки и внешнего импульса запуска, используемого для запуска преобразования, интервал выборки является частью интервала импульса запуска.

Если бит SIMSAM определяет одновременную выборку, время выборки меньше периода следования запускающего импульса, требуемого, чтобы завершить указанные преобразования.

#### Уравнение 17-5: Доступное время выборки, одновременная выборка

$TSMP = \text{Интервал запускающего импульса (TSEQ)} - \text{Каналов на выборку (CH/S)} * \text{Время преобразования (TCONV)}$

$TSMP = TSEQ - (CH/S * TCONV)$

**Примечание 1:** CH/S определено битами CHPS<1:0>.  
**2:** TSEQ есть запускающего импульса период.

Если SIMSAM бит определил последовательность выборки, время выборки меньше периода времени запускающих импульсов требуемого, чтобы завершить только одно преобразование.

#### Уравнение 17-6: Доступное время выборки, последовательная выборка

$TSMP = \text{Интервал запускающего импульса (TSEQ)} - \text{Время преобразования (TCONV)}$

$TSMP = TSEQ - TCONV$

Примечание: TSEQ - Интервал запускающего импульса.

## 17.13 Управление операцией выборка / преобразование

Прикладное программное обеспечение может опросить SAMP и DONE биты, чтобы следить за операциями A/D или модулем, может прерывать CPU, когда преобразования закончены. Прикладное программное обеспечение может также прерывать операции A/D в случае необходимости.

### 17.13.1 Проверка состояния выборка / преобразование

SAMP (ADCON1<1>) и DONE (ADCON1<0>) биты указывают состояние осуществления выборки и состояния преобразования A/D, соответственно. Вообще, когда SAMP бит очищен, указывая конец осуществления выборки, DONE бит автоматически устанавливается, указывая конец преобразования. Если и SAMP и DONE - "0", A/D находится в неактивном состоянии. В некоторых операционных режимах, SAMP бит может также вызывать и заканчивать осуществление выборки.

### 17.13.2 Генерация прерывания A/D

SMPI <3:0> биты управляют генерацией прерываний. Прерывание произойдет через некоторое число последовательностей выборка / преобразование после старта выборки и заново произойдет на каждом эквивалентные числе выборок. Обратите внимание, что прерывания определены в терминах выборок, а не в терминах преобразований или выборок данных в буферной памяти.

Когда SIMSAM бит определяет последовательное осуществление выборки, независимо от числа каналов, указанных CHPS битами, выборки модуля однажды для каждого преобразования и выборки данных в буфере. Следовательно значение, указанное SMPI битами будет соответствовать числу выборок данных в буфере, до максимума 16.

Когда SIMSAM бит определяет одновременное осуществление выборки, число выборок данных в буфере связан с CHPS битами. Алгоритмически, каналы / выборка времена число выборок приведут к числу входов выборки данных в буфере. Избегать потери данных в буфере из-за переполнения, SMPI биты должны быть установлены в желательный буферный размер, разделенный каналов на выборку.

Отключение прерывания A/D делается SMPI битами. Чтобы отключать прерывание, очистите ADIE бит разрешения прерывания аналогового модуля.

### 17.13.3 Прерывание выборки

Очистки SAMP бита, в режиме ручной выборки закончит осуществление выборки, но может также запустить преобразование, если SSRC = 000.

Очистка ASAM бита, в режиме автоматическом выборки не будет заканчивать последовательность выборка / преобразование, однако, осуществление выборки автоматически не будет возобновляться после последующих преобразований.

### 17.13.4 Прерывание преобразования

Очистка ADON бита в течение преобразования прервет текущее преобразование. Регистровая пара результата A/D не будет модифицирована с частично законченной выборкой A/D преобразования. То есть передача ADCBUF буферное расположение продолжит содержать значение прошлого законченного преобразования (или последнее значение, записанное в буфер).

## 17.14 Определение, как результаты преобразования записаны в буфер

Как преобразование закончено, модуль записывает результаты преобразований в буфер результата A/D. Этот буфер - массив RAM шестнадцати 10-разрядных слов. Буфер доступен через 16 адресов расположенных в пределах SFR пространства имен ADCBUF0 ... ADCBUFF.

Программное обеспечение пользователя может пытаться читать каждый A/D результат преобразования, поскольку это сгенерировано, однако, это потребует слишком много процессорного времени. Вообще, чтобы упростить код, модуль заполнит буфер результатами и затем генерирует прерывание, когда буфер заполнен.

### 17.14.1 Число преобразований на прерывание

SMPI <3:0> биты (ADCON2 < 5:2 >) выберут, сколько A/D преобразований будут иметь место прежде, чем CPU будет прерван. Это может измениться от 1 выборки в прерывание до 16 выборок в прерывание. A/D преобразователь модуля всегда начинает писать результаты преобразования в начале буфера, после каждого прерывания. Например, если SMPI<3:0> = 0000, результаты преобразования будут всегда записываться в ADCBUF0. В этом примере, никакие другие буферные расположения не использовались бы.

### 17.14.2 Ограничения, должные размер буфера

Пользователь не может программной комбинацией CHPS и SMPI битов определять больше чем 16 преобразований в прерывание, когда BUFM бит (ADCON2 < 1 >) - "0", или 8 преобразований в прерывание, когда BUFM бит (ADCON2 < 1 >) - "0". Функция бита BUFM описана ниже.

### 17.14.3 Режим заполнения буфера

Когда BUFM бит (ADCON2 < 1 >) равен "1", буфер результатов с 16 словами (ADRES) будет разбит на две группы с 8 словами. Буфера с 8 словами поочередно получают результаты преобразования после каждого события, вызывающего прерывание. Начальный буфер с 8 словами, используемый после установки BUFM, будет расположен в более низких адресах ADCBUF. Когда BUFM - "0", полный буфер с 16 словами используется для всех последовательностей преобразования.

Решение использовать особенность BUFM будет зависеть, сколько времени доступно, чтобы переместить буферное содержание после прерывания, как определено прикладной программой. Если процессор может быстро разгрузить полный буфер в пределах времени, требуется, чтобы производить выборку и преобразовать один канал, BUFM бит может быть "0", и до 16 преобразований может быть сделан в прерывание. Процессор будет иметь одно время выборки и время преобразования прежде, чем первая буферная позиция будет перезаписана.

Если процессор не может разгрузить буфер в пределах времени выборки и преобразования, BUFM бит должен быть "1". Например, если SMPI<3:0> = 0111, то восемь преобразований будут загружены в 1/2 буфера, после которое прерывание произойдет. Следующие восемь преобразований будут загружены в другой 1/2 буфера. Процессор будет поэтому иметь полное время между прерываниями, чтобы переместить эти восемь преобразований из буфера.

### 17.14.4 Состояние заполнения буфера

Когда буфер результата преобразования разбит, используя BUFM бит управления, BUFS бит состояния (ADCON2 < 7 >) указывает половину буфера, которую A/D конвертер в настоящее время заполняется. Если BUFS = 0, то A/D конвертер заполняет ADCBUF0-ADCBUF7 и программное обеспечение пользователя, читает преобразованные значения из ADCBUF8-ADCBUFF. Если BUFS = 1, ситуация полностью изменена, и программное обеспечение пользователя должно читать преобразованные значения из ADCBUF0-ADCBUF7.

## 17.15 Примеры последовательности преобразования

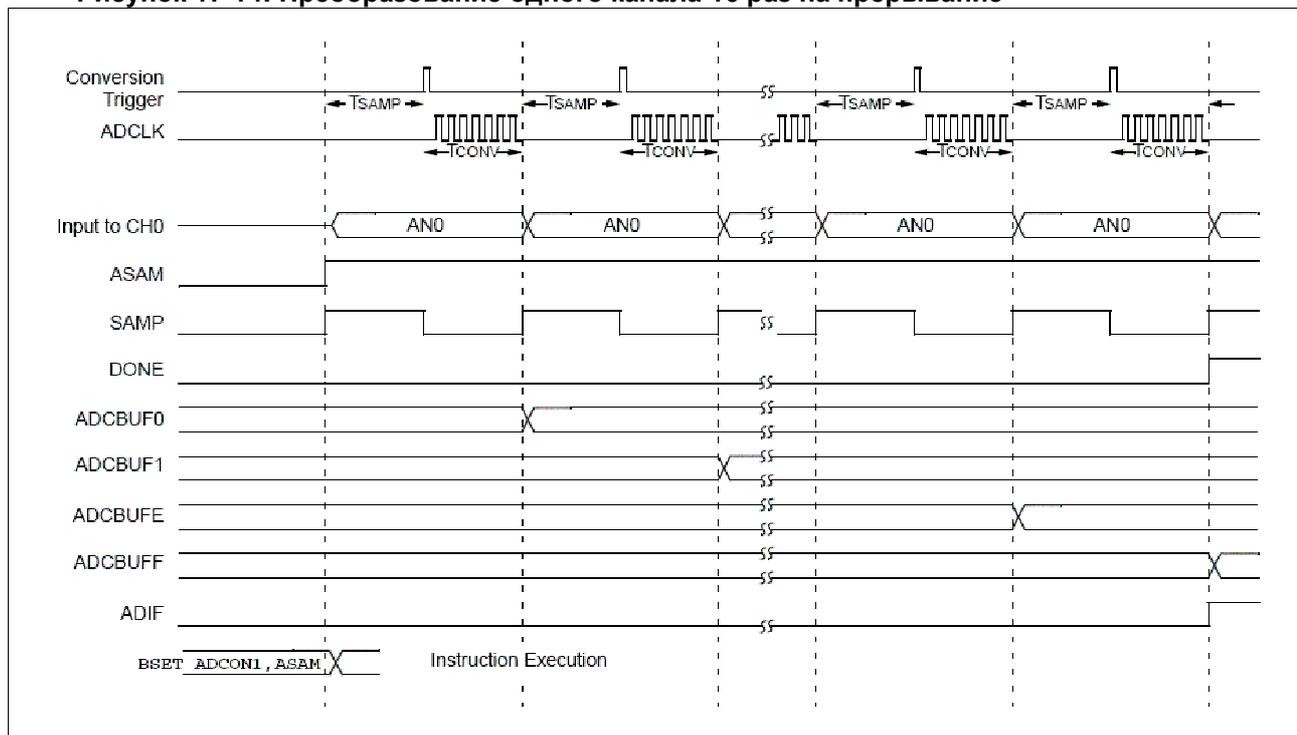
Следующие примеры конфигурации показывают работу A/D в различном осуществлении выборки и конфигурациях буферизации. В каждом примере установка ASAM бит начинает автоматическое осуществление выборки. Запуск преобразования завершает выборку и начинает преобразование.

### Пример: Осуществление выборки и преобразования отдельного канала в некоторые моменты времени

Рисунок 17-11 и Таблица 17-2 иллюстрируют основную конфигурацию A/D. В этом случае, один вход A/D, AN0, может быть выбран как один канал выборки и хранения CH0, и преобразован. Результаты сохранены в буфере ADCBUF. Этот процесс повторяется 16 раз, пока буфер не заполнится и затем модуль генерирует прерывание. Полный процесс тогда повторится.

CHPS биты определяют, что только канал выборка / хранение CH0, активен. С очищенным ALTS, только MUX A входы активны. CH0SA биты и CH0NA бит определяют (AN0-VREF-) как вход канала выборки / хранения. Все другие биты выбора входа не используются.

Рисунок 17-14: Преобразование одного канала 16 раз на прерывание



**Таблица 17-2: Преобразование одного канала 16 раз на прерывание**

**БИТЫ УПРАВЛЕНИЯ**

**Выбор последовательности**

SMP1<2:0> = 1111 Прерывание на 16 выборок
CHPS<1:0> = 00 Выборка канала CH0
SIMSAM = n/a Не применительно для выборки ед. канала
BUFM = 0 Единственный буфер результата на 16 слов
ALTS = 0 Всегда использует MUX A входа выбор

**Выбор входа MUX A**

CH0SA<3:0> = 0000 Выбрать AN0 для CH0+ входа
CH0NA = 0 Выбрать VREF- для CH0- входа
CSCNA = 0 Не сканирует вход
CSSL<15:0> = n/a Scan input select unused
CH123SA = n/a + вход каналов CH1, CH2, CH3 не исп.
CH123NA<1:0> = n/a - вход каналов CH1, CH2, CH3 не исп.

**Выбор входа MUX B**

CH0SB<3:0> = n/a Канал CH0+ вход не используется
CH0NB = n/a Канал CH0- вход не используется
CH123SB = n/a Канал CH1, CH2, CH3 + вход не используется
CH123NB<1:0> = n/a Канал CH1, CH2, CH3 – вход не используется

**Операционная последовательность**

Выборка входов MUX A: AN0 -> CH0
Преобразовать CH0, Записать буфер 0x0
Выборка входов MUX A: AN0 -> CH0
Преобразовать CH0, Записать буфер 0x1
Выборка входов MUX A: AN0 -> CH0
Преобразовать CH0, Записать буфер 0x2
Выборка входов MUX A: AN0 -> CH0
Преобразовать CH0, Записать буфер 0x3
Выборка входов MUX A: AN0 -> CH0
Преобразовать CH0, Записать буфер 0x4
Выборка входов MUX A: AN0 -> CH0
Преобразовать CH0, Записать буфер 0x5
Выборка входов MUX A: AN0 -> CH0
Преобразовать CH0, Записать буфер 0x6
Выборка входов MUX A: AN0 -> CH0
Преобразовать CH0, Записать буфер 0x7
Выборка входов MUX A: AN0 -> CH0
Преобразовать CH0, Записать буфер 0x8
Выборка входов MUX A: AN0 -> CH0
Преобразовать CH0, Записать буфер 0x9
Выборка входов MUX A: AN0 -> CH0
Преобразовать CH0, Записать буфер 0xA
Выборка входов MUX A: AN0 -> CH0
Преобразовать CH0, Записать буфер 0xB
Выборка входов MUX A: AN0 -> CH0
Преобразовать CH0, Записать буфер 0xC
Выборка входов MUX A: AN0 -> CH0
Преобразовать CH0, Записать буфер 0xD
Выборка входов MUX A: AN0 -> CH0
Преобразовать CH0, Записать буфер 0xE
Выборка входов MUX A: AN0 -> CH0
Преобразовать CH0, Записать буфер 0xF
Прерывание
Повтор

**Адреса буфера**

**Буфер @  
1-е прерывание**

ADCBUF0	AN0 выборка 1
ADCBUF1	AN0 выборка 2
ADCBUF2	AN0 выборка 3
ADCBUF3	AN0 выборка 4
ADCBUF4	AN0 выборка 5
ADCBUF5	AN0 выборка 6
ADCBUF6	AN0 выборка 7
ADCBUF7	AN0 выборка 8
ADCBUF8	AN0 выборка 9
ADCBUF9	AN0 выборка 10
ADCBUFA	AN0 выборка 11
ADCBUFB	AN0 выборка 12
ADCBUFC	AN0 выборка 13
ADCBUFD	AN0 выборка 14
ADCBUFE	AN0 выборка 15
ADCBUFF	AN0 выборка 16

**Буфер @  
2-е прерывание**

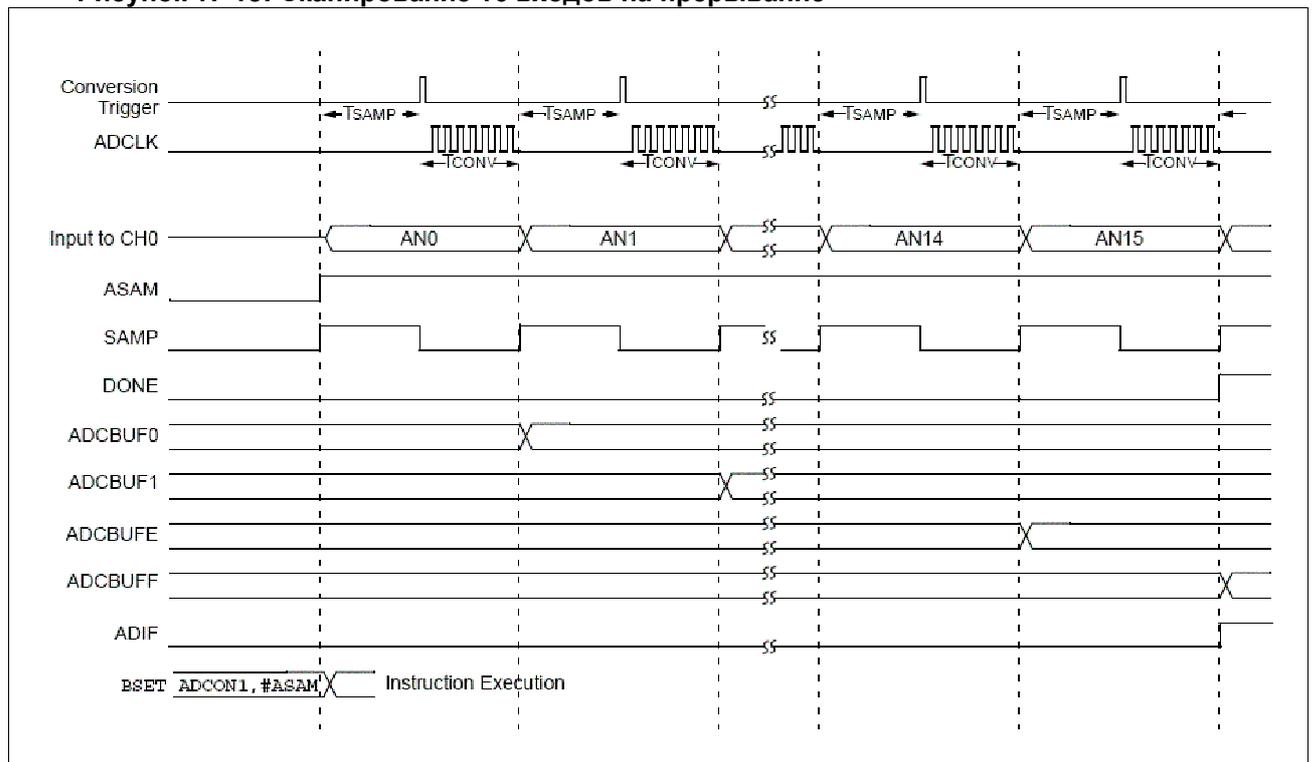
AN0 выборка 17
AN0 выборка 18
AN0 выборка 19
AN0 выборка 20
AN0 выборка 21
AN0 выборка 22
AN0 выборка 23
AN0 выборка 24
AN0 выборка 25
AN0 выборка 26
AN0 выборка 27
AN0 выборка 28
AN0 выборка 29
AN0 выборка 30
AN0 выборка 31
AN0 выборка 32

### 17.15.2 Пример: A/D преобразования при сканировании через все аналоговые входы

Рисунок 17-15 и Таблица 17-3 иллюстрируют очень типичную установку, где все доступные аналоговые входные каналы выбраны одним каналом выборки/хранения, CH0, и преобразованы. Установка бита CSCNA определяет сканирование A/D входов к положительному входу CH0. Другие условия подобны подразделу 17.15.1.

Первоначально, вход AN0 выбран к CH0 и преобразован. Результат сохранен в буфере ADCBUF. Затем вход AN1 выбран и преобразован. Этот процесс сканирования входов повторяет 16 раз, пока буфер не заполнится и затем модуль генерирует прерывание. Затем процесс полностью повторяется.

Рисунок 17-15: Сканирование 16 входов на прерывание



**Таблица 17-3: Сканирование через 16 входов / прерывание**

<b>БИТЫ УПРАВЛЕНИЯ</b>	
<b>Выбор последовательности</b>	
SMPI<2:0> = 1111	Прерывание на 16 выборок
CHPS<1:0> = 00	Выборка канала CH0
SIMSAM = n/a	Не применительно для выборки ед. канала
BUFM = 0	Единственный буфер результата на 16 слов
ALTS = 0	Всегда использует MUX A входа выбор

<b>Выбор входа MUX A</b>	
CH0SA<3:0> = n/a	Аннулировать к CSCNA
CH0NA = 0	Выбрать VREF- для CH0- входа
CSCNA = 1	Сканировать +входы CH0
CSSL<15:0> = 1111 1111 1111 1111	Scan input select unused
CH123SA = n/a	+ вход каналов CH1, CH2, CH3 не исп.
CH123NA<1:0> = n/a	- вход каналов CH1, CH2, CH3 не исп.

<b>Выбор входа MUX B</b>	
CH0SB<3:0> = n/a	Канал CH0+ вход не используется
CH0NB = n/a	Канал CH0- вход не используется
CH123SB = n/a	Канал CH1, CH2, CH3 + вход не используется
CH123NB<1:0> = n/a	Канал CH1, CH2, CH3 – вход не используется

<b>Операционная последовательность</b>	
Выборка входов MUX A: AN0 -> CH0	
Преобразовать CH0, Записать буфер 0x0	
Выборка входов MUX A: AN0 -> CH0	
Преобразовать CH0, Записать буфер 0x1	
Выборка входов MUX A: AN0 -> CH0	
Преобразовать CH0, Записать буфер 0x2	
Выборка входов MUX A: AN0 -> CH0	
Преобразовать CH0, Записать буфер 0x3	
Выборка входов MUX A: AN0 -> CH0	
Преобразовать CH0, Записать буфер 0x4	
Выборка входов MUX A: AN0 -> CH0	
Преобразовать CH0, Записать буфер 0x5	
Выборка входов MUX A: AN0 -> CH0	
Преобразовать CH0, Записать буфер 0x6	
Выборка входов MUX A: AN0 -> CH0	
Преобразовать CH0, Записать буфер 0x7	
Выборка входов MUX A: AN0 -> CH0	
Преобразовать CH0, Записать буфер 0x8	
Выборка входов MUX A: AN0 -> CH0	
Преобразовать CH0, Записать буфер 0x9	
Выборка входов MUX A: AN0 -> CH0	
Преобразовать CH0, Записать буфер 0xA	
Выборка входов MUX A: AN0 -> CH0	
Преобразовать CH0, Записать буфер 0xB	
Выборка входов MUX A: AN0 -> CH0	
Преобразовать CH0, Записать буфер 0xC	
Выборка входов MUX A: AN0 -> CH0	
Преобразовать CH0, Записать буфер 0xD	
Выборка входов MUX A: AN0 -> CH0	
Преобразовать CH0, Записать буфер 0xE	
Выборка входов MUX A: AN0 -> CH0	
Преобразовать CH0, Записать буфер 0xF	
Прерывание	
<b>Повтор</b>	

**Адреса буфера**

ADCBUF0  
ADCBUF1  
ADCBUF2  
ADCBUF3  
ADCBUF4  
ADCBUF5  
ADCBUF6  
ADCBUF7  
ADCBUF8  
ADCBUF9  
ADCBUFA  
ADCBUFB  
ADCBUFC  
ADCBUFD  
ADCBUFE  
ADCBUFF

**Буфер @  
1-е прерывание**

AN0 выборка 1
AN0 выборка 2
AN0 выборка 3
AN0 выборка 4
AN0 выборка 5
AN0 выборка 6
AN0 выборка 7
AN0 выборка 8
AN0 выборка 9
AN0 выборка 10
AN0 выборка 11
AN0 выборка 12
AN0 выборка 13
AN0 выборка 14
AN0 выборка 15
AN0 выборка 16

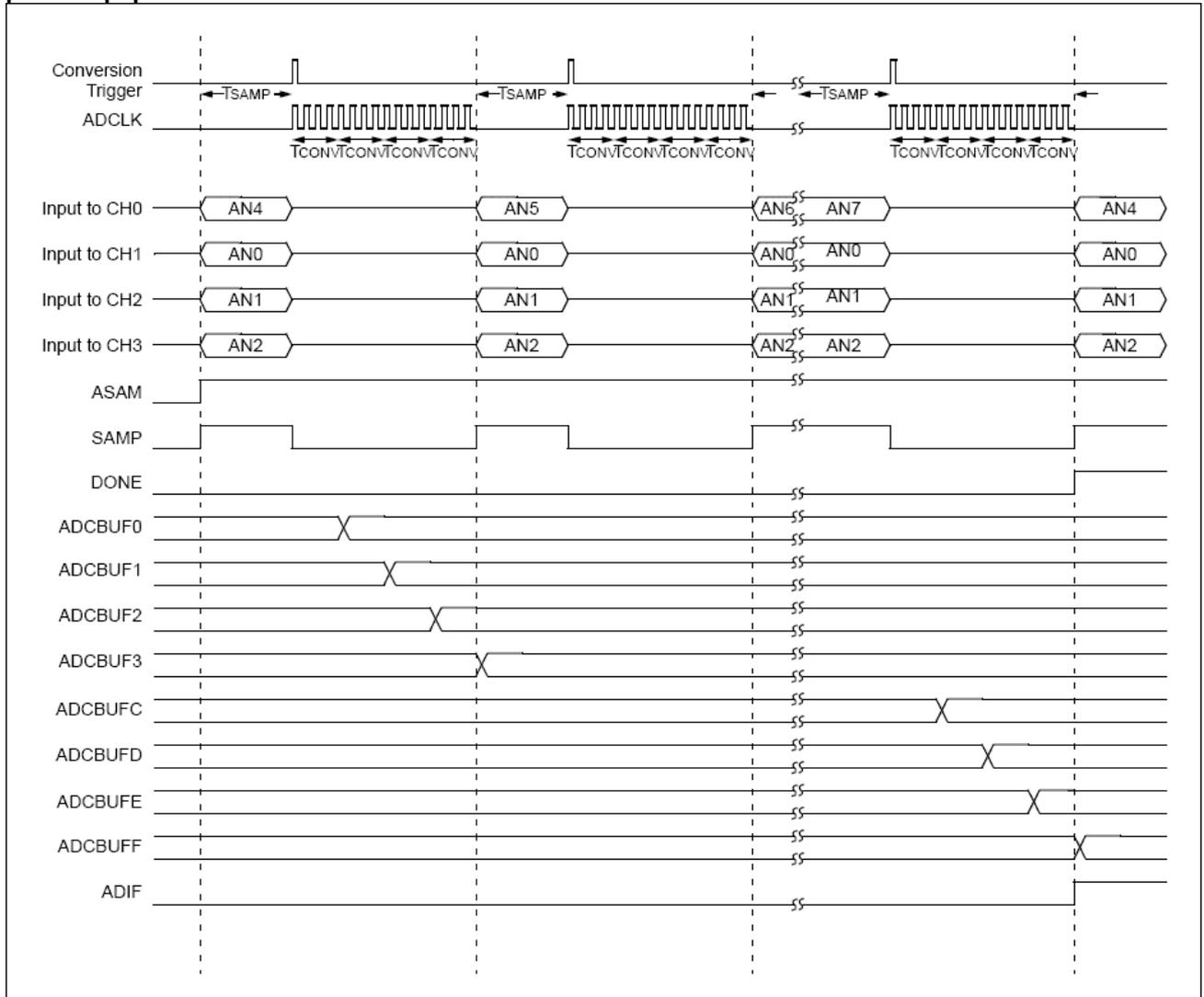
**Буфер @  
2-е прерывание**

AN0 выборка 17
AN0 выборка 18
AN0 выборка 19
AN0 выборка 20
AN0 выборка 21
AN0 выборка 22
AN0 выборка 23
AN0 выборка 24
AN0 выборка 25
AN0 выборка 26
AN0 выборка 27
AN0 выборка 28
AN0 выборка 29
AN0 выборка 30
AN0 выборка 31
AN0 выборка 32

**17.15.3 Пример: Частая выборка трех входов, пока сканируются четыре других входа**

На рисунке 17-16 и таблице 17-4 показано, как может быть сконфигурирован A/D конвертер, чтобы можно было произвести частую выборку трех входов, используя каналы выборки/хранения CH1, CH2 и CH3; в то время как четыре других входа осуществляют выборку менее часто, просматривая их, используя канал выборки / хранения CH0. В этом случае, только MUX A входы используются, и все 4 канала выбраны одновременно. Четыре различных входа (AN4, AN5, AN6, AN7) сканируются в CH0, поскольку AN0, AN1 и AN2 фиксированные входы для CH1, CH2 и CH3, соответственно. Таким образом, в каждом наборе 16 выборок, AN0, AN1 и AN2 был бы выбраны 4 раза, в то время как AN4, AN5, AN6 и AN7 будут выбраны только однажды каждый.

**Рисунок 17-16: Преобразовывает три входа четыре раза и четыре входа один раз на прерывание**



**Таблица 17-4: Преобразовывает три входа четыре раза и четыре входа один раз на прерывание**

**БИТЫ УПРАВЛЕНИЯ**

**Выбор последовательности**

SMPI<2:0> = 0011 Прерывание на 16 выборок
CHPS<1:0> = 1x Выборка каналов CH0, CH1, CH2, CH3
SIMSAM = 1 Выборка всех каналов одновременно
BUFM = 0 Единственный буфер результата на 16 слов
ALTS = 0 Всегда использует MUX A входа выбор

**Выбор входа MUX A**

CH0SA<3:0> = n/a Аннулировать к CSCNA
CH0NA = 0 Выбрать VREF- для CH0- входа
CSCNA = 1 Сканировать +входы CH0
CSSL<15:0> = 0000 0000 1111 0000 Сканировать AN4, AN5, AN6, AN7
CH123SA = 0 CH1+ = AN0, CH2+ = AN1, CH3+ = AN2
CH123NA<1:0> = 0x CH1-, CH2-, CH3- = VREF-

**Выбор входа MUX B**

CH0SB<3:0> = n/a Канал CH0+ вход не используется
CH0NB = n/a Канал CH0- вход не используется
CH123SB = n/a Канал CH1, CH2, CH3 + вход не используется
CH123NB<1:0> = n/a Канал CH1, CH2, CH3 – вход не используется

**Операционная последовательность**

Выборка MUX A входов: AN4 -> CH0, AN0 -> CH1, AN1 -> CH2, AN2 -> CH3
Преобразовать CH0, Писать буфер 0x0
Преобразовать CH1, Писать буфер 0x1
Преобразовать CH2, Писать буфер 0x2
Преобразовать CH3, Писать буфер 0x3
Выборка MUX A входов: AN5 -> CH0, AN0 -> CH1, AN1 -> CH2, AN2 -> CH3
Преобразовать CH0, Писать буфер 0x4
Преобразовать CH1, Писать буфер 0x5
Преобразовать CH2, Писать буфер 0x6
Преобразовать CH3, Писать буфер 0x7
Выборка MUX A входов: AN6 -> CH0, AN0 -> CH1, AN1 -> CH2, AN2 -> CH3
Преобразовать CH0, Писать буфер 0x8
Преобразовать CH1, Писать буфер 0x9
Преобразовать CH2, Писать буфер 0xA
Преобразовать CH3, Писать буфер 0xB
Выборка MUX A входов: AN7 -> CH0, AN0 -> CH1, AN1 -> CH2, AN2 -> CH3
Преобразовать CH0, Писать буфер 0xC
Преобразовать CH1, Писать буфер 0xD
Преобразовать CH2, Писать буфер 0xE
Преобразовать CH3, Писать буфер 0xF
Прерывание
<b>Повтор</b>

**Адреса буфера**

ADCBUF0  
ADCBUF1  
ADCBUF2  
ADCBUF3  
ADCBUF4  
ADCBUF5  
ADCBUF6  
ADCBUF7  
ADCBUF8  
ADCBUF9  
ADCBUFA  
ADCBUFB  
ADCBUFC  
ADCBUFD  
ADCBUFE  
ADCBUFF

**Буфер @  
1-е прерывание**

AN4 выборка 1
AN0 выборка 1
AN1 выборка 1
AN2 выборка 1
AN5 выборка 2
AN0 выборка 2
AN1 выборка 2
AN2 выборка 2
AN6 выборка 3
AN0 выборка 3
AN1 выборка 3
AN2 выборка 3
AN7 выборка 4
AN0 выборка 4
AN1 выборка 4
AN2 выборка 4

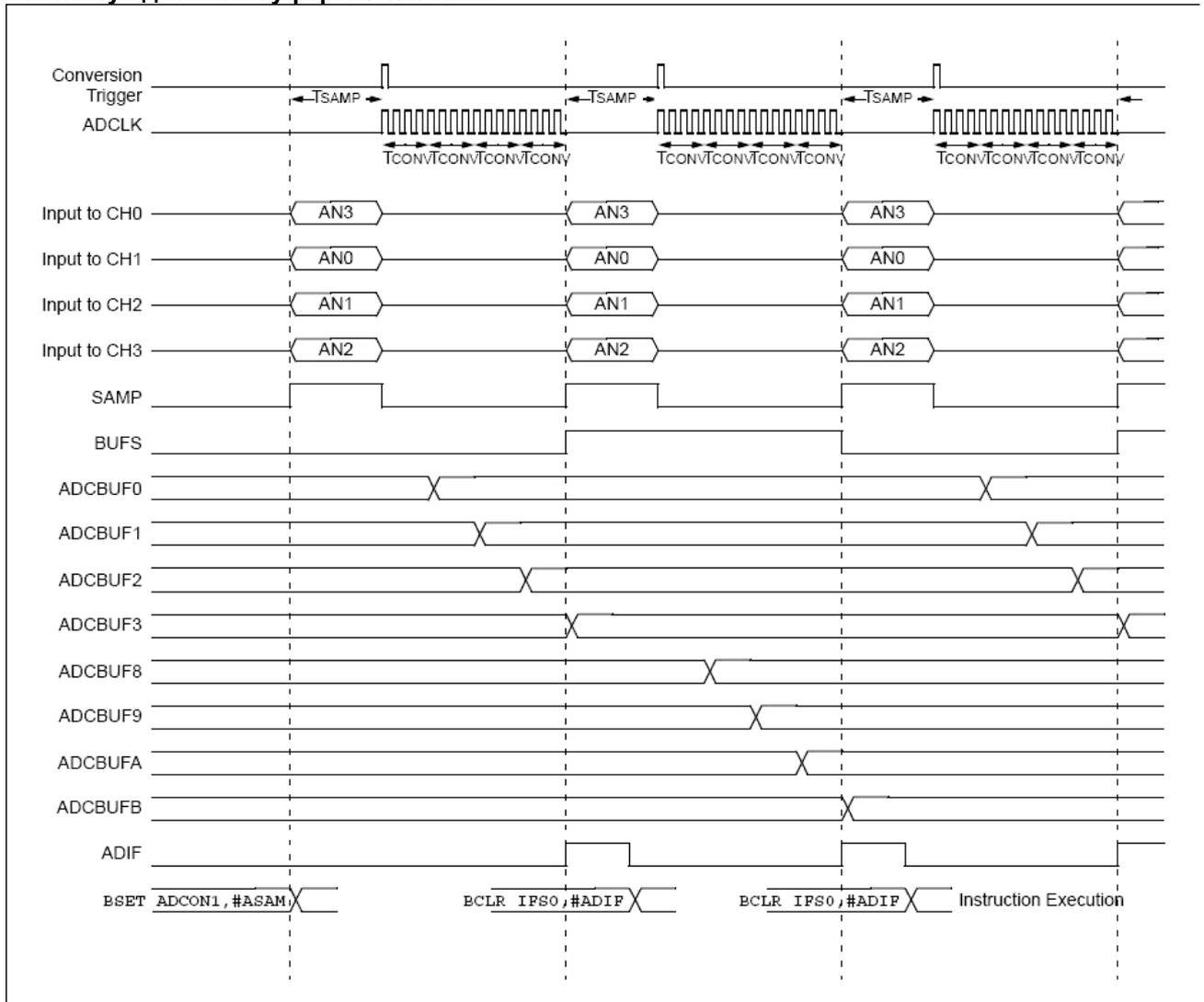
**Буфер @  
2-е прерывание**

AN4 выборка 5
AN0 выборка 5
AN1 выборка 5
AN2 выборка 5
AN5 выборка 6
AN0 выборка 6
AN1 выборка 6
AN2 выборка 6
AN6 выборка 7
AN0 выборка 7
AN1 выборка 7
AN2 выборка 7
AN7 выборка 8
AN0 выборка 8
AN1 выборка 8
AN2 выборка 8

### 17.15.4 Пример: Использование двойного буфера с 8 словами

Рисунок 17-17 и таблица 17-5 демонстрируют использование двойных буферов с 8 словами, и чередование заполнения буфера. Установка бита BUFM разрешает двойной буфер с 8 словами. Установка BUFM не затрагивает другие операционные параметры. Сначала, преобразованная последовательность начинает заполнять буфер с ADCBUF0 (буферное расположение 0x0). После того, как первое прерывание происходит, буфер начинает заполняться с ADCBUF8 (буферное расположение 0x8). BUFS бит состояния установлен и очищен поочередно после каждого прерывания. В этом примере, все четыре канала выбраны одновременно, и прерывание происходит после каждой выборки.

**Рисунок 17-17: Преобразовываем четыре входа, один раз на прерывание, используя двойной буфер с 8 словами**





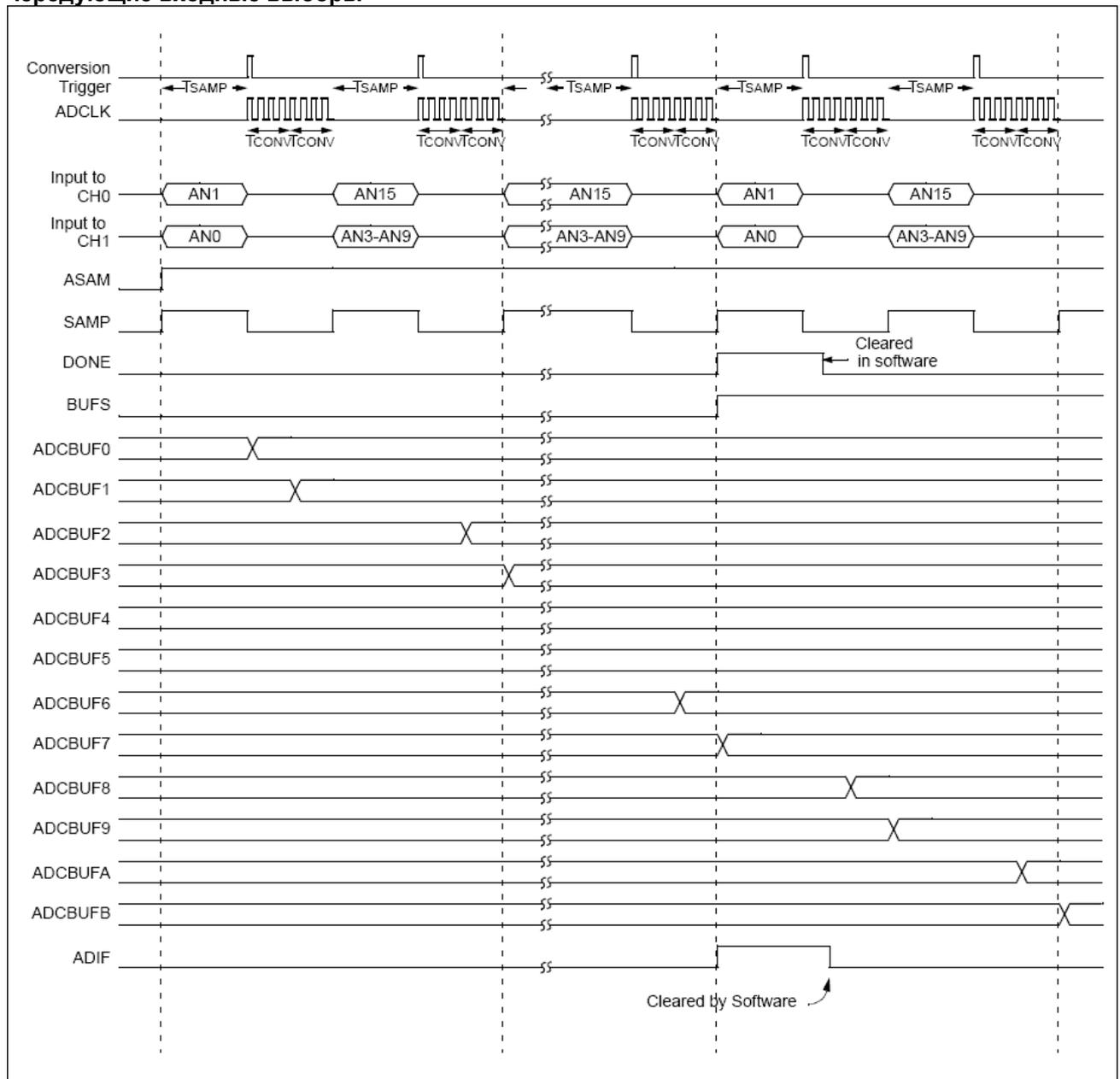
### 17.15.5 Пример: Использование попеременного MUX A, MUX B выбора входов

Рисунок 17-18 и таблица 17-6 демонстрируют попеременную выборку входов, назначенных на MUX и MUX B. В этом примере, 2 каналам дозволено произвести выборку одновременно. Установка бита ALTS допускает попеременный выбор входов. Первая выборка использует MUX A входы, указанные CH0SA, CH0NA, CHXSA и CHXNA битами. Следующая выборка использует MUX B входы, указанные CH0SB, CH0NB, CHXSB и CHXNB битами. В этом примере, один из MUX B входов использует 2 аналоговых ввода как дифференциальный источник к выборке / хранению, производя выборку (AN3-AN9).

Этот пример также демонстрирует использование двойных буферов с 8 словами. Прерывание происходит после каждой 4-ой выборки, приводя заполняющий 8-words буфер на каждом прерывании.

Обратите внимание, что использование 4-х каналов выборки / хранения без чередования выбора входов приводит к тому же самому числу преобразований как этот пример, использующий 2 канала с чередующимися входными выборами. Однако, потому что CH1, CH2 и CH3 каналы больше ограничены селективностью аналоговых входов, этот метод примера обеспечивает большее количество гибкости входного выбора, чем использование 4 каналов.

**Рисунок 17-18: Преобразование двух наборов двух входов, используя чередующие входные выборы**



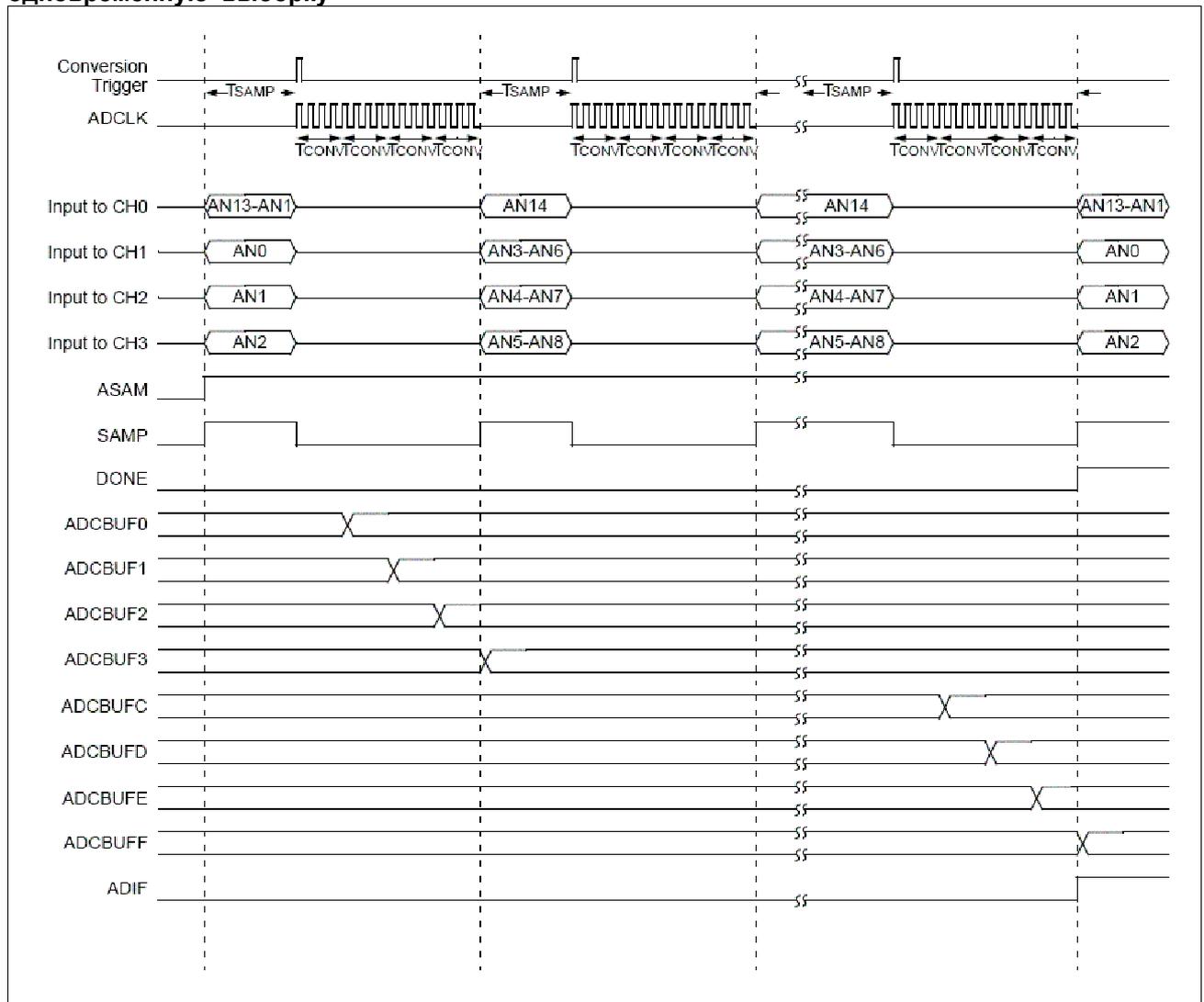


### 17.15.6 Пример: Выборка восьми входов, используя одновременную выборку

Подраздел 17.15.6 и подраздел 17.15.7 демонстрирует идентичные установки за исключением того, что в подразделе 17.15.6 используется одновременное осуществление выборки с SIMSAM = 1, а в подразделе 17.15.7 используется последовательное осуществление выборки с SIMSAM = 0. Оба примера используют чередование входов и определяет дифференциальные входы к выборке / хранению.

Рисунок 17-19 и таблица 17-7 демонстрирует одновременное осуществление выборки. Когда преобразуется больше чем один канал и осуществляется одновременная выборка, модуль произведет выборку всех каналов, затем исполнять требуемые преобразования последовательно. В этом примере, с установленным ASAM, осуществление выборки начнется после завершённых преобразований.

**Рисунок 17-19: Осуществление выборки восьми входов, использующих одновременную выборку**



**Таблица 17-7: Выборка восьми входов с использованием одновременной выборки**

**БИТЫ УПРАВЛЕНИЯ**

**Выбор последовательности**

SMPI<2:0> = 0011 Прерывание на 4-ой выборке
CHPS<1:0> = 1x Выборка каналов CH0, CH1, CH2, CH3
SIMSAM = 1 Выборка всех каналов одновременно
BUFM = 0 Единственный буфер результата на 16 слов
ALTS = 1 Попеременный выбор MUX A/B входов

**Выбор входа MUX A**

CH0SA<3:0> = 1101 Выбрать AN13 для + входа CH0
CH0NA = 1 Выбрать AN1 для CH0- входа
CSCNA = 0 Не сканировать вход
CSSL<15:0> = n/a Scan input select unused
CH123SA = 0 CH1+ = AN0, CH2+ = AN1, CH3+ = AN2
CH123NA<1:0> = 0x CH1-, CH2-, CH3- = VREF-

**Выбор входа MUX B**

CH0SB<3:0> = 1110 Выбрать AN14 для + входа CH0
CH0NB = 0 Выбрать VREF- для CH0- входа
H123SB = 1 CH1+ = AN3, CH2+ = AN4, CH3+ = AN5
CH123NB<1:0> = 10 CH1- = AN6, CH2- = AN7, CH3- = AN8

**Операционная последовательность**

Выбор MUX A входов: (AN13-AN1)->CH0, AN0->CH1, AN1->CH2, AN2->CH3
Преобразовать CH0, Писать буфер 0x0
Преобразовать CH1, Писать буфер 0x1
Преобразовать CH2, Писать буфер 0x2
Преобразовать CH3, Писать буфер 0x3
Выбор MUX B входов: AN14 -> CH0, (AN3-AN6)->CH1, (AN4-AN7)->CH2, (AN5-AN8)->CH3
Преобразовать CH0, Писать буфер 0x4
Преобразовать CH1, Писать буфер 0x5
Преобразовать CH2, Писать буфер 0x6
Преобразовать CH3, Писать буфер 0x7
Выбор MUX A входов: (AN13-AN1)->CH0, AN0->CH1, AN1->CH2, AN2->CH3
Преобразовать CH0, Писать буфер 0x8
Преобразовать CH1, Писать буфер 0x9
Преобразовать CH2, Писать буфер 0xA
Преобразовать CH3, Писать буфер 0xB
Выбор MUX B входов: AN14 -> CH0, (AN3-AN6)->CH1, (AN4-AN7)->CH2, (AN5-AN8)->CH3
Преобразовать CH0, Писать буфер 0xC
Преобразовать CH1, Писать буфер 0xD
Преобразовать CH2, Писать буфер 0xE
Преобразовать CH3, Писать буфер 0xF
Прерывание
<b>Повтор</b>

**Адреса буфера**

ADCBUF0  
ADCBUF1  
ADCBUF2  
ADCBUF3  
ADCBUF4  
ADCBUF5  
ADCBUF6  
ADCBUF7  
ADCBUF8  
ADCBUF9  
ADCBUFA  
ADCBUFB  
ADCBUFC  
ADCBUFD  
ADCBUFE  
ADCBUFF

**Буфер @  
1-е прерывание**

(AN13-AN1) выборка 1
AN0 выборка 1
AN1 выборка 1
AN2 выборка 1
AN14 выборка 2
(AN3-AN6) выборка 2
(AN4-AN7) выборка 2
(AN5-AN8) выборка 2
(AN13-AN1) выборка 3
AN0 выборка 3
AN1 выборка 3
AN2 выборка 3
AN14 выборка 4
(AN3-AN6) выборка 4
(AN4-AN7) выборка 4
(AN5-AN8) выборка 4

**Буфер @  
2-е прерывание**

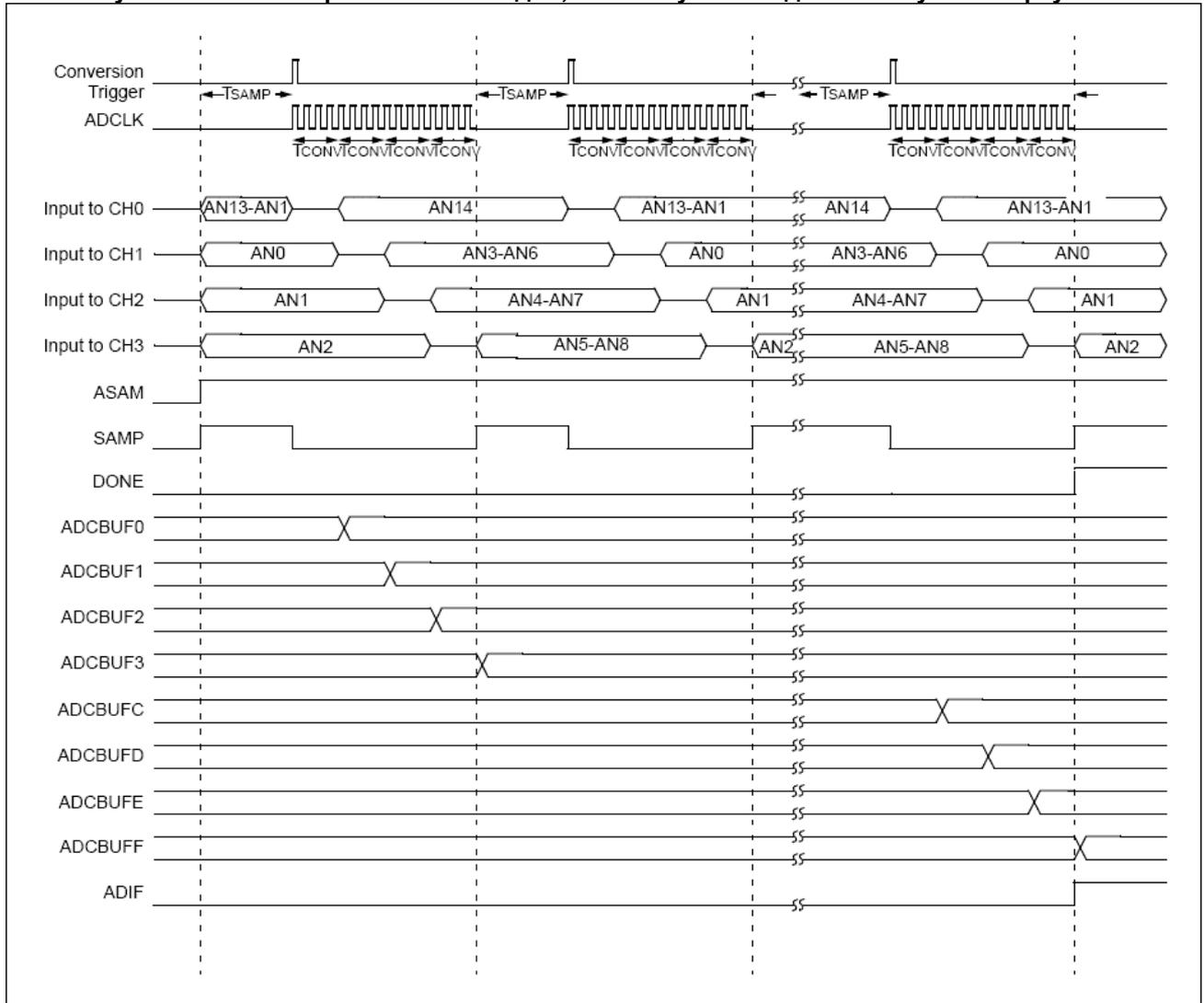
(AN13-AN1) выборка 5
AN0 выборка 5
AN1 выборка 5
AN2 выборка 5
AN14 выборка 6
(AN3-AN6) выборка 6
(AN4-AN7) выборка 6
(AN5-AN8) выборка 6
(AN13-AN1) выборка 7
AN0 выборка 7
AN1 выборка 7
AN2 выборка 7
AN14 выборка 8
(AN3-AN6) выборка 8
(AN4-AN7) выборка 8
(AN5-AN8) выборка 8

### 17.15.7 Пример: Выборка восьми входов с использованием последовательной выборки

Рисунок 17-20 и таблица 17-8 демонстрируют последовательное осуществление выборки. Когда преобразуется более одного канала и выбрана последовательная выборка, модуль запустит выборку канала при первом удобном случае, затем выполнит требуемые преобразования в последовательности. В этом примере, с установленным ASAM, осуществление выборки канала начнется после того, как преобразование этого канала завершено. Когда ASAM очищен, осуществление выборки не будет возобновляться после завершения преобразования, но произойдет при установке бита SAMP.

Когда используется более одного канала, последовательное осуществление выборки обеспечивает больше времени выборки, так как канал может быть выбран, в то время как преобразование происходит на другом.

Рисунок 17-20: Выборка восьми входов, используя последовательную выборку



**Таблица 17-8: Выборка восьми входов, используя последовательную выборку**

<b>БИТЫ УПРАВЛЕНИЯ</b>	
<b>Выбор последовательности</b>	
SMPI<2:0> = 1111	Прерывание на 16-ой выборке
CHPS<1:0> = 1x	Выборка каналов CH0, CH1, CH2, CH3
SIMSAM = 0	Выборка всех каналов последовательно
BUFM = 0	Едиственный буфер результата на 16 слов
ALTS = 1	Попеременный выбор MUX A/B входов

<b>Выбор входа MUX A</b>	
CH0SA<3:0> = 0110	Выбрать AN6 для + входа CH0
CH0NA = 0	Выбрать VREF- для CH0- входа
CSCNA = 0	Не сканировать вход
CSSL<15:0> = n/a	Scan input select unused
CH123SA = 0	CH1+ = AN0, CH2+ = AN1, CH3+ = AN2
CH123NA<1:0> = 0x	CH1-, CH2-, CH3- = VREF-

<b>Выбор входа MUX B</b>	
CH0SB<3:0> = 0111	Выбрать AN7 для + входа CH0
CH0NB = 0	Выбрать VREF- для CH0- входа
H123SB = 1	CH1+ = AN3, CH2+ = AN4, CH3+ = AN5
CH123NB<1:0> = 0x	CH1-, CH2-, CH3- = VREF-

<b>Операционная последовательность</b>	
Выборка: (AN13-AN1) -> CH0	Преобразовать CH0, Писать буфер 0x0
Выборка: AN0 -> CH1	Преобразовать CH1, Писать буфер 0x1
Выборка: AN1 -> CH2	Преобразовать CH2, Писать буфер 0x2
Выборка: AN2 -> CH3	Преобразовать CH3, Писать буфер 0x3
Выборка: AN14 -> CH0	Преобразовать CH0, Писать буфер 0x4
Выборка: (AN3-AN6) -> CH1	Преобразовать CH1, Писать буфер 0x5
Выборка: (AN4-AN7) -> CH2	Преобразовать CH2, Писать буфер 0x6
Выборка: (AN5-AN8) -> CH3	Преобразовать CH3, Писать буфер 0x7
Выборка: (AN13-AN1) -> CH0	Преобразовать CH0, Писать буфер 0x8
Выборка: AN0 -> CH1	Преобразовать CH1, Писать буфер 0x9
Выборка: AN1 -> CH2	Преобразовать CH2, Писать буфер 0xA
Выборка: AN2 -> CH3	Преобразовать CH3, Писать буфер 0xB
Выборка: AN14 -> CH0	Преобразовать CH0, Писать буфер 0xC
Выборка: (AN3-AN6) -> CH1	Преобразовать CH1, Писать буфер 0xD
Выборка: (AN4-AN7) -> CH2	Преобразовать CH2, Писать буфер 0xE
Выборка: (AN5-AN8) -> CH3	Преобразовать CH3, Писать буфер 0xF
	Прерывание
	<b>Повтор</b>

**Адреса буфера**

ADCBUF0  
ADCBUF1  
ADCBUF2  
ADCBUF3  
ADCBUF4  
ADCBUF5  
ADCBUF6  
ADCBUF7  
ADCBUF8  
ADCBUF9  
ADCBUFA  
ADCBUFB  
ADCBUFC  
ADCBUFD  
ADCBUFE  
ADCBUFF

**Буфер @ 1-е прерывание**

(AN13-AN1) выборка 1
AN0 выборка 2
AN1 выборка 3
AN2 выборка 4
AN14 выборка 5
(AN3-AN6) выборка 6
(AN4-AN7) выборка 7
(AN5-AN8) выборка 8
(AN13-AN1) выборка 9
AN0 выборка 10
AN1 выборка 11
AN2 выборка 12
AN14 выборка 13
(AN3-AN6) выборка 14
(AN4-AN7) выборка 15
(AN5-AN8) выборка 16

**Буфер @ 2-е прерывание**

(AN13-AN1) выборка 17
AN0 выборка 18
AN1 выборка 19
AN2 выборка 20
AN14 выборка 21
(AN3-AN6) выборка 22
(AN4-AN7) выборка 23
(AN5-AN8) выборка 24
(AN13-AN1) выборка 25
AN0 выборка 26
AN1 выборка 27
AN2 выборка 28
AN14 выборка 29
(AN3-AN6) выборка 30
(AN4-AN7) выборка 31
(AN5-AN8) выборка 32

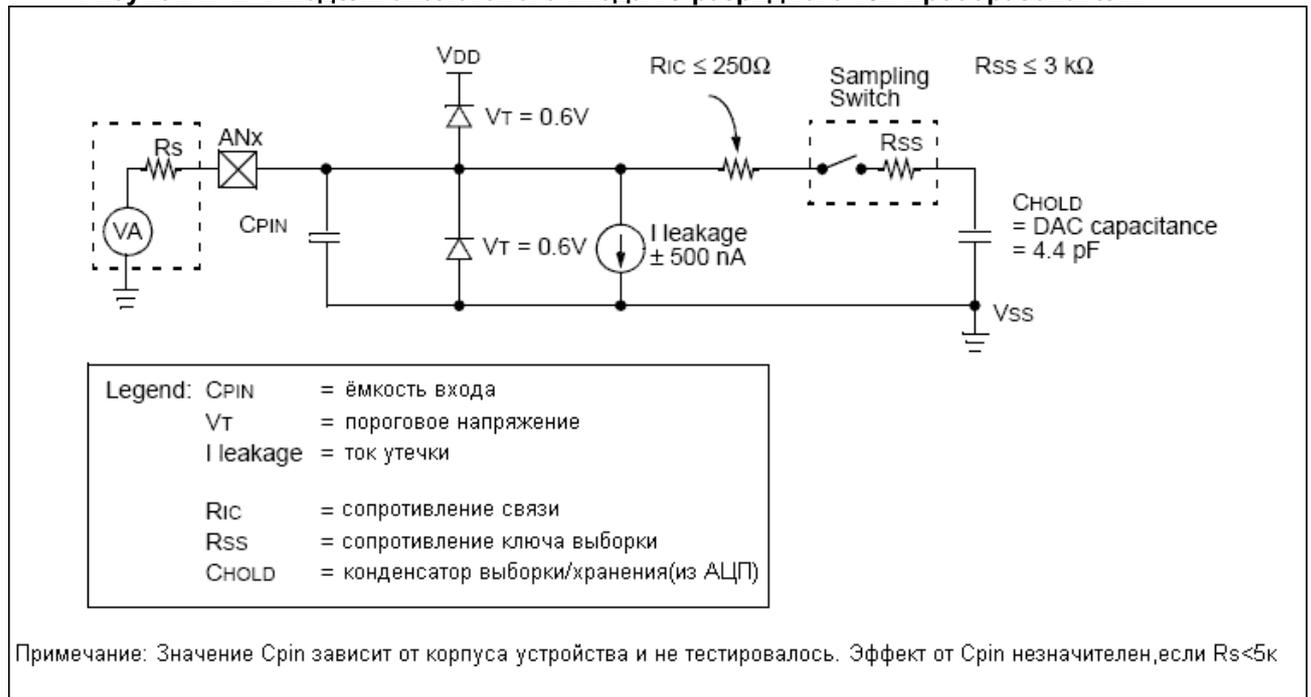
### 17.16 Требования к осуществлению A/D выборки

Модель аналогового входа 10-разрядного A/D конвертера показана на рисунке 17-21. Общее время выборки для A/D является функцией времени установки внутреннего усилителя и времени зарядки конденсатора хранения.

Для A/D конвертера, чтобы выполнить его указанную точность, заряжая конденсатор хранения (CHOLD) нужно позволить полностью зарядиться к уровню напряжений на аналоговом входном штырьке. Внутреннее сопротивление аналогового источника ( $R_S$ ), сопротивление связи ( $R_{IC}$ ) и сопротивление внутреннего выключателя выборки ( $R_{SS}$ ) объединяется, чтобы непосредственно затронуть время, требуемое, чтобы зарядить конденсатор CHOLD. Общее сопротивление поэтому должно быть достаточно маленьким, чтобы полностью зарядить конденсатор хранения в пределах выбранного типового времени. Чтобы минимизировать эффекты токов утечки штырька на точности A/D конвертера, рекомендуемое сопротивление источника  $R_S$  не более 5 к для скорости преобразования до 500 ksp/s и не более 500 для скорости преобразования до 1 Msps. После того, как аналоговый входной канал выбран (изменен), эта функция выборки должен быть завершена до старта преобразования. Внутренний конденсатор хранения может находится в разряженном состоянии перед каждой типовой операцией.

По крайней мере 1 TAD период времени нужно позволить между преобразованиями в течение типового времени. Для большего количества подробностей, см. устройство электрические спецификации.

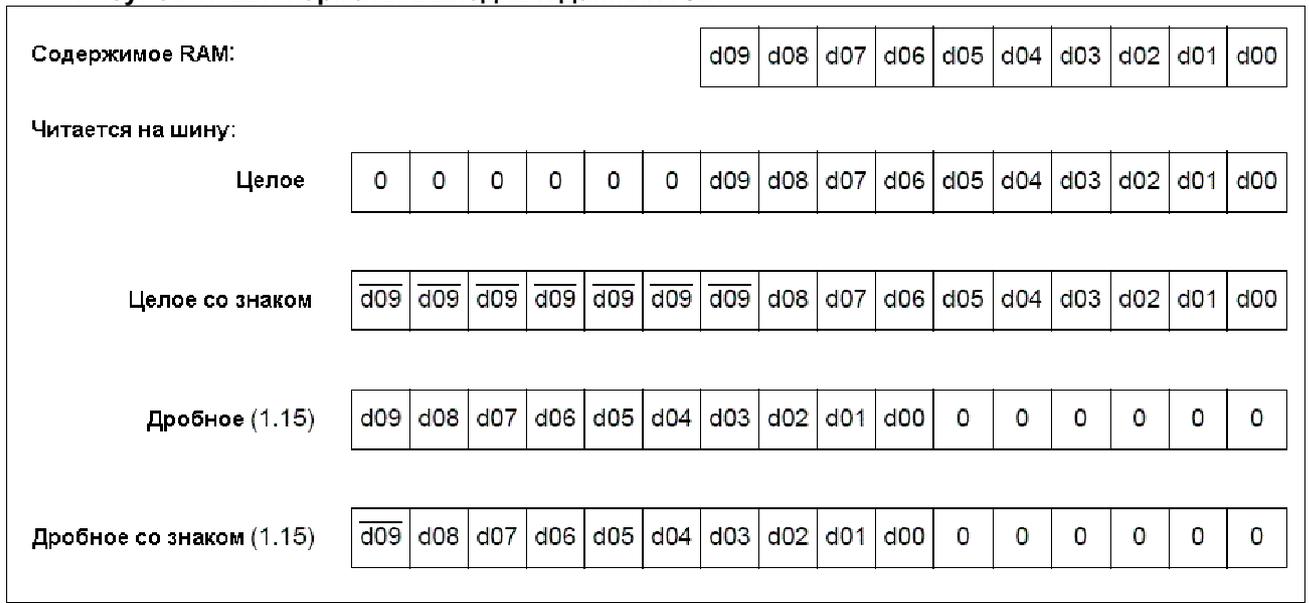
**Рисунок 17-21: Модель аналогового входа 10-разрядного A/D преобразователя**



### 17.17 Чтение буфера результата A/D

RAM имеет 10-битную ширину, но данные автоматически форматируются к одному из четырех выбираемых форматов, когда чтение от буфера выполнено. FORM<1:0> биты (ADCON1<9:8>) выбирают формат. Аппаратное форматирование обеспечивает 16-разрядный результат на шине данных для всех форматов данных. На рисунке 17-22 показаны форматы выходных данных, которые могут быть выбраны, используя FORM<1:0> служебные биты.

**Рисунок 17-22: Форматы выходных данных A/D:**



**Рисунок 17-23: Числовые эквиваленты различных результирующих кодов**

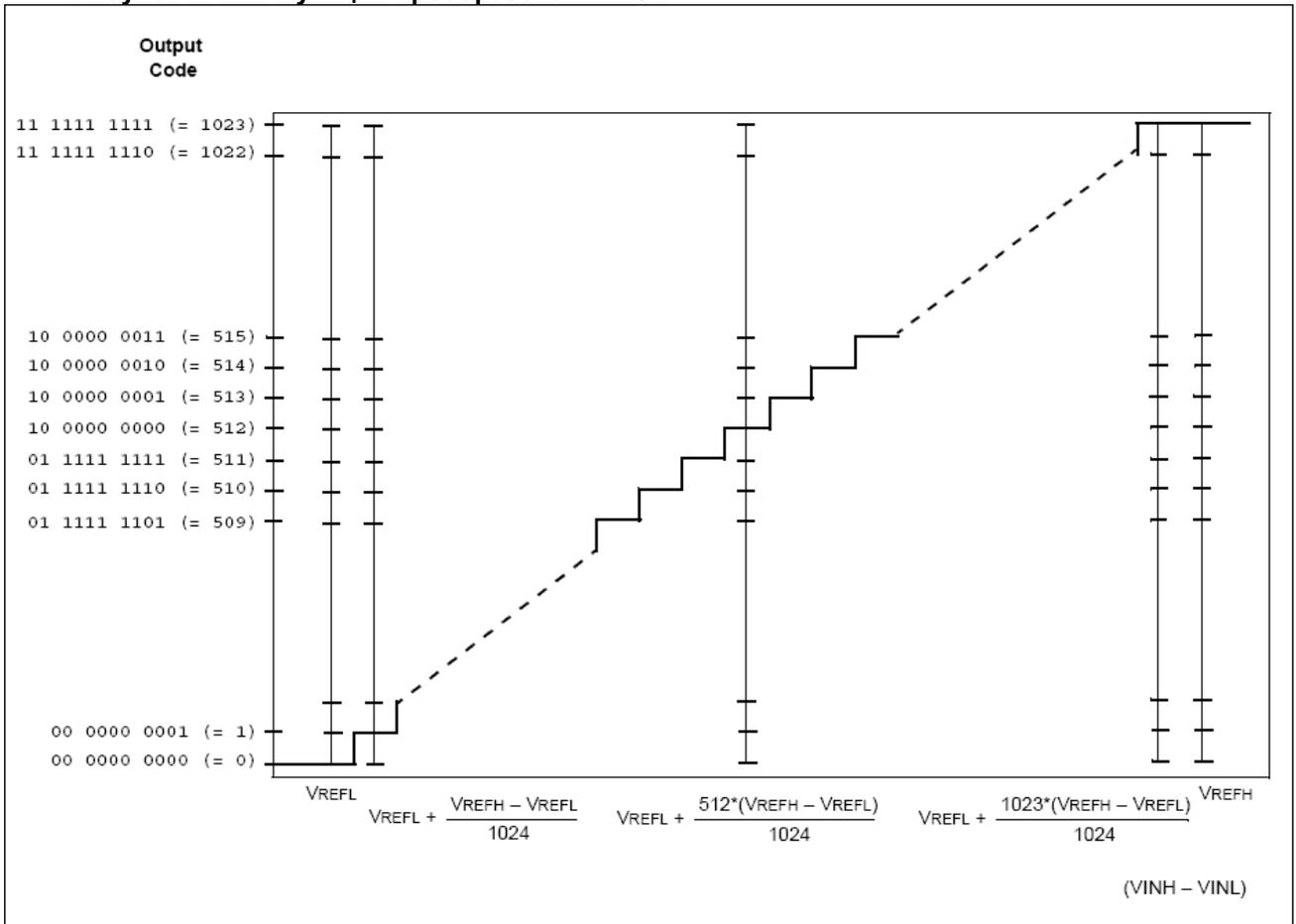
VIN/VREF	10-битный выходной код	16-битное целое	16-битное целое со знаком	16-битное дробное	16-битное дробное со знаком
1023/1024	11 1111 1111	0000 0011 1111 1111 = 1023	0000 0001 1111 1111 = 511	1111 1111 1100 0000 = 0.999	0111 1111 1100 0000 = 0.499
1022/1024	11 1111 1110	0000 0011 1111 1110 = 1022	0000 0001 1111 1110 = 5 10	1111 1111 1000 0000 = 0.998	0111 1111 1000 0000 = 0.498
...					
513/1024	10 0000 0001	0000 0010 0000 0001 = 513	0000 0000 0000 0001 = 1	1000 0000 0100 0000 = 0.501	0 000 0000 0100 0000 = 0.001
512/1024	10 0000 0000	0000 0010 0000 0000 = 512	0000 0000 0000 0000 = 0	1000 0000 0000 0000 = 0.500	0000 0000 0000 0000 = 0.000
511/1024	01 1111 1111	0000 0001 1111 1111 = 511	1111 1111 1111 1111 = -1	0111 1111 1100 0000 = .499	1111 1111 1100 0000 = -0.001
...					
1/1024	00 0000 0001	0000 0000 0000 0001 = 1	1111 1110 0000 0001 = -511	0000 0000 0100 0000 = 0.001	1000 0000 0100 0000 = -0.499
0/1024	00 0000 0000	0000 0000 0000 0000 = 0	1111 1110 0000 0000 = -512	0000 0000 0000 0000 = 0.000	1000 0000 0000 0000 = -0.500

## 17.18 Функция преобразования

Идеальная функция преобразования A/D конвертера показывается на рисунке 17-24. Разница входных напряжений ( $V_{INH} - V_{INL}$ ) сравнивается с опорным напряжением ( $V_{REFH} - V_{REFL}$ ).

- первый переход кода происходит, когда входное напряжение - ( $V_{REFH} - V_{REFL}/2048$ ) или 0.5 LSb.
- 00 0000 0001 код центрирован в ( $V_{REFH} - V_{REFL}/1024$ ) или 1.0 LSb.
- 10 0000 0000 код центрирован в ( $512 * (V_{REFH} - V_{REFL}) / 1024$ ).
- входное напряжение меньше чем ( $1 * (V_{REFH} - V_{REFL}) / 2048$ ) преобразуется как 00 0000 0000.
- вход больше чем ( $2045 * (V_{REFH} - V_{REFL}) / 2048$ ) преобразуется как 11 1111 1111.

Рисунок 17-24: Функция преобразования A/D



## 17.19 A/D точность / ошибка

Обратитесь к разделу 17.27 "Связанные документы" для списка документов, которые обсуждают A/D точность.

## 17.20 Связь соображений

Поскольку с аналоговыми входами используют ESD защиту, они имеют диоды к VDD и VSS. Это требует, чтобы аналоговый вход был между VDD и VSS. Если входное напряжение превышает этот диапазон большим, чем 0.3V (любое направление), один из диодов становится прямо смещенным, и это может повреждать устройство, если входной ток превышает допустимый.

Внешний фильтр RC иногда добавляется для сглаживания входного сигнала. R компонент должен быть выбран, чтобы гарантировать, что осуществление выборки требования времени удовлетворено. Любые внешние компоненты подключенные (через высокое сопротивление) к аналоговому входному штырьку (конденсатор, zener диод, и т.д.) должны иметь очень небольшой ток утечки в штырьке.

## 17.21 Инициализация

В примере 17-7 показан простой код инициализации для A/D модуля.

В этой особенной конфигурации, все 16 аналоговых входных штырьков, AN0-AN15, установлены как аналоговые входы. Действие в режиме ожидания заблокировано, выходные данные находится в дробном формате без знака, AVDD и AVSS используются в качестве VREFH и VREFL. Старт выборки, также как старт преобразования (пуск преобразования), выполняется вручную программным обеспечением. CH0 S/H усилитель используется для преобразований. Сканирование входов заблокировано и прерывание происходит после каждой последовательности выборки / преобразование (1 результат преобразования). Тактовая частота преобразования A/D - TCY/2.

Поскольку осуществление выборки начинается вручную, установкой SAMP бит (ADCON1 <1>), после окончания каждого преобразования биты времени авто-выборки SAMC <4:0> (ADCON3 <12:8 >) игнорируются. Кроме того, поскольку старт преобразования (то есть, конец выборки) так же вызван вручную, бит SAMP должен быть очищен, каждый раз, когда новая выборка должна быть преобразована.

### Пример 17-7: Пример кода инициализации A/D

```
CLR ADPCFG           ; Конфигурация A/D порта,
                     ; все входные ножки аналоговые

MOV #0x2208,W0
MOV W0,ADCON1        ; Конфигурация источника тактирования выборки
                     ; и режима запуска преобразования.
                     ; Без знаковый дробный формат,
                     ; Ручной запуск преобразования,
                     ; Ручной старт выборки,
                     ; Одновременная выборка,
                     ; Нет операции в режиме ожидания (IDLE mode).
CLR ADCON2           ; Конфигурирование опорного напряжения A/D
                     ; и режима накопительного буфера.
                     ; VREF от AVDD и AVSS,
                     ; Входы не сканированные,
                     ; 1 S/H канал используется,
                     ; Прерывание каждую выборку
CLR ADCON3           ; Конфигурирование тактирования преобразования A/D
CLR ADCHS            ; Конфигурирование входных каналов,
                     ; CH0+ вход AN0.
                     ; CH0- вход VREFL (AVss)
CLR ADCSSL           ; Нет сканированных входов.
BCLR IFS0,#ADIF      ; Очистить прерывание преобразования A/D
                     ; Конфигурировать биты приоритета A/D преобразования
                     ; (ADIP<2:0>) здесь, если
                     ; требуется. (по умолчанию уровень приоритета 4)
BSET IEC0,#ADIE      ; Разрешить прерывания A/D преобразования
BSET ADCON1,#ADON     ; Включить A/D
BSET ADCON1,#SAMP     ; Старт выборки входа
CALL DELAY            ; Гарантировать корректное время выборки correct
sampling time has    ; проходить прежде старта преобразования.
BCLR ADCON1,#SAMP     ; Конец A/D выборки и старт преобразования
:                    ; DONE бит устанавливается аппаратно, когда
:                    ; последовательность преобразования финиширует
:                    ; ADIF бит должен быть установлен.
```

## 17.22 Скорости A/D преобразования

Спецификации dsPIC30F 10-разрядного A/D преобразователя разрешают максимум 1 Msps частоту дискретизации. Таблица ниже суммирует скорости преобразования для 10-разрядного A/D преобразователя dsPIC30F и требуемых эксплуатационных режимов.

Таблица 17-9: Скоростные параметры 10-разрядного преобразователя

Показатели преобразования 10-ти разрядного АЦП dsPIC30F						
A/D скорость	Миним. T <sub>ad</sub>	Мин. время выборки	R <sub>s</sub> Max	V <sub>DD</sub>	Температура	Конфигурация каналов A/D
Up to 1 MSps <sup>(1)</sup>	83.33 ns	12 T <sub>AD</sub>	500 Ω	4.5V to 5.5V	-40°C to +85°C	
Up to 750 ksp/s <sup>(1)</sup>	95.24 ns	2 T <sub>AD</sub>	500 Ω	4.5V to 5.5V	-40°C to +85°C	
Up to 600 ksp/s <sup>(1)</sup>	138.89 ns	12 T <sub>AD</sub>	500 Ω	3.0V to 5.5V	-40°C to +125°C	
Up to 500 ksp/s	153.85 ns	1 T <sub>AD</sub>	5.0 kΩ	4.5V to 5.5V	-40°C to +125°C	
Up to 300 ksp/s	256.41 ns	1 T <sub>AD</sub>	5.0 kΩ	3.0V to 5.5V	-40°C to +125°C	

**Примечание 1:** Внешний VREF- и VREF + штырьки должны использоваться для правильной операции. См. рисунок 17-25 для рекомендуемой схемы.



### 17.22.1.2 Несколько аналоговых входов

A/D конвертер, может также использоваться, чтобы произвести выборку нескольких аналоговых входов используя несколько каналов выборки/хранения. В этом случае общая скорость преобразования 1 Msps делится среди различных входных сигналов. Например, четыре ввода могут быть выбраны со скоростью 250 ksps для каждого сигнала, или два ввода могли быть выбраны со скоростью 500 ksps для каждого сигнала. Последовательное осуществление выборки должно использоваться в этой конфигурации, чтобы позволить требуемому осуществлению времени выборки на каждом входе.

#### 17.22.1.3 1 Msps процедура конфигурации

Следующие элементы конфигурации требуются, чтобы достичь скорости преобразования 1 Msps.

- Исполнять условия, обеспеченные в таблице 17-9.
- Подключают внешний VREF + и VREF- штырьки согласно рекомендуемой схеме, показанной на рисунке 17-26.
- Установить SSRC<2:0> = 111 в регистре ADCON1, чтобы допустить опцию авто-преобразования.
  - Разрешить автоматическое осуществление выборки, устанавливая ASAM служебный бит в регистре ADCON1.
  - Разрешить осуществление последовательной выборки, очищая SIMSAM бит в регистре ADCON1.
  - Разрешить по крайней мере два канала выборки/хранения, pfgbcfd CHPS <1:0> служебные биты в регистре ADCON2.
  - Конфигурировать по крайней мере 2 преобразования между прерываниями, поскольку два канала выборки/хранения, запись SMP1 <3:0> бит управления в регистре ADCON2.
- Конфигурируют тактовый период A/D, чтобы быть:

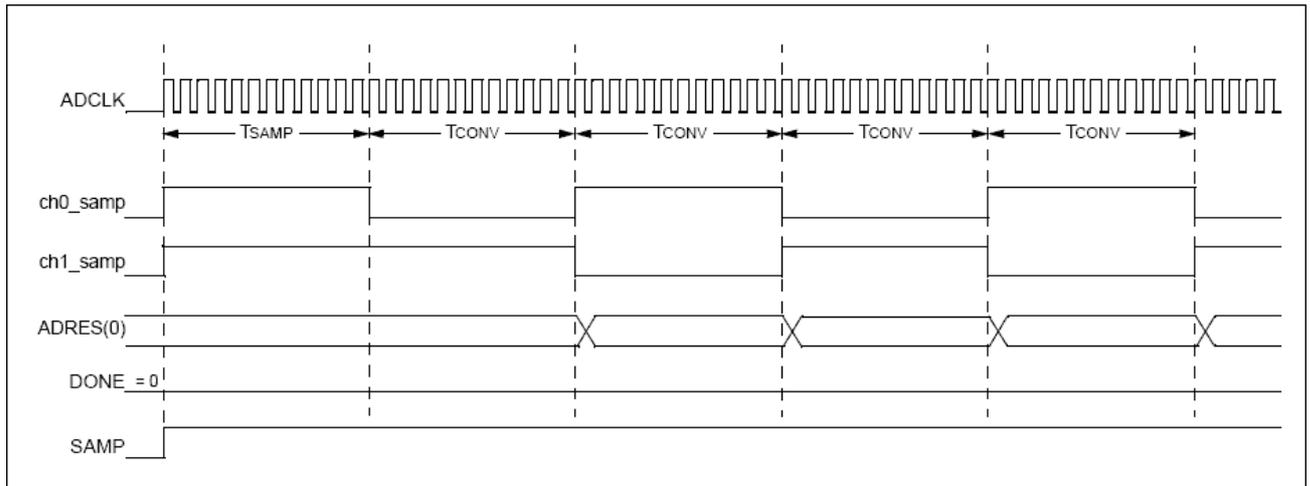
$$1/(12*1,000,000)= 83.33 \text{ ns}$$

Записывая ADCS <5:0> управляющие биты в регистре ADCON3.

- Конфигурируют осуществление выборки время, чтобы быть 2 TAD, записывая: SAMC<4:0> = 00010.
- Выбор по крайней мере два канала на аналоговый входной штырек, записывая в регистр ADCHS.

Следующий рисунок показывает временную диаграмму A/D преобразования одного входного штырька, используя два канала выборки/хранения. TAD выбор, вместе с рекомендациями, описанными выше, позволяет конверсионное быстрое действие 1 Msps. См. Пример 17-8 для примера кода.

**Рисунок 17-26: 1Msps преобразование 1 входного штырька, используя два канала, старт авто-выборки, время выборки 12 TAD**



### Пример 17-8: Преобразование 2 канала, старт авто-выборки, старт преобразования TAD, последовательное осуществление выборки код

```

ADPCFG = 0xFFFFB;           // все PORTB = цифровые; RB2 = аналоговый
ADCON1 = 0x00E0;           // SSRC bit = 111 подразумевает, что внутренний
                           // счётчик заканчивает выборку и начинает
                           // преобразование.
ADCHS = 0x0002;           // Подключить RB2/AN2 к CH0 входу и так же подключить
RB2/AN2                    // к положительному входу CH1.
                           // в этом примере RB2/AN2 входы к двум каналам.

ADCSSL = 0;
ADCON3 = 0x0C04;           // Время выборки = 12Tad = 83.33 ns @ MIPS
                           // что даёт 1 / (12 * 83.33 ns) = 1 Msps
ADCON2 = 0x6104;           // Выбрать внешние VREF+ и VREF- ножки,
преобразование CH0 и      // CH1, Прерывание после каждых 2 выборки
                           // включить ADC
ADCON1bits.ADON = 1;      // повторять непрерывно
while (1)
{
  IFS0bits.ADIF = 0;      // очистить прерывание
  while (IFS0bits.ADIF);  // преобразование готово?
  ADCValue = ADCBUF0;     // сохранить ADC значения
}
// повторить

```

### 17.22.2 750 ksps руководство конфигурации

Следующие элементы конфигурации требуются, чтобы достичь 750 ksps скорости преобразования. Эта конфигурация предполагает, что единственный аналоговый вход должен быть выбран.

- Исполняют условия, обеспеченные в Таблице 17-9.
- Подключение внешних VREF + и VREF- штырьков согласно рекомендуемой схеме, показанной на рисунке 17-27.

- Установить SSRC<2:0> = 111 в регистре ADCON1, чтобы допустить опцию авто-преобразования.
- Разрешить автоматическую выборку, устанавливая ASAM бит управления в регистре ADCON1.
- Разрешить один канал выборки/хранения, устанавливая CHPS <1:0> = 00 в регистре ADCON2.
- Записать SMP1 <3:0> управляющие биты в регистре ADCON2 для желательного числа преобразований между прерываниями.
- Конфигурируют тактовый период A/D, чтобы быть:

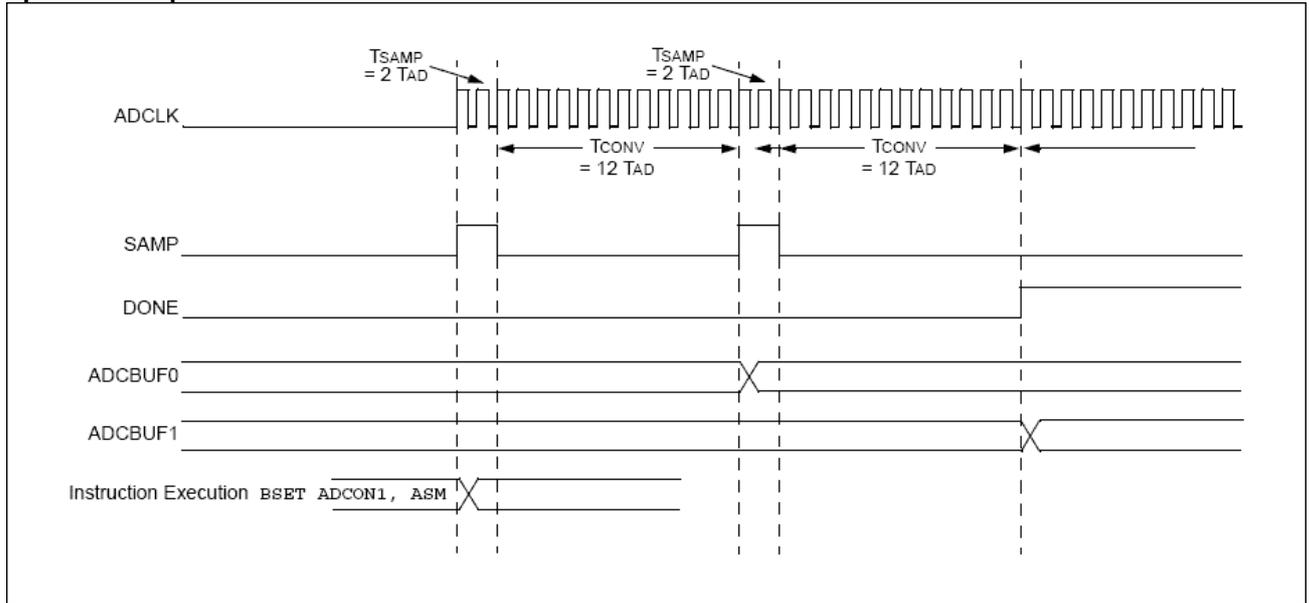
$$1/((12 + 2) * 750,000) = 95.24 \text{ ns}$$

записывая ADCS <5:0> служебные биты в регистре ADCON3.

- Конфигурируют выборки время, чтобы быть 2 TAD, записывая: SAMC <4:0> = 00010.

Следующий рисунок показывает временную диаграмму A/D, выполняющего в 750 ksps. TAD выбирается, в соответствии с рекомендациями, описанными выше, позволяет конверсионное быстродействие 750 ksps. См. Пример 17-9 для примера кода.

**Рисунок 17-27: Преобразование 1 канала в 750 ksp/s, старт авто-выборки, 2 TAD  
время выборки**



**Пример 17-9: Преобразование 1 канала в 750 ksp/s, старт авто-выборки, 2 TAD  
время выборки пример кода**

```

ADPCFG = 0xFFFB; // все PORTB = цифровые; RB2 = аналог
ADCON1 = 0x00E0; // SSRC bit = 111 подразумевает внутренний
// счётчик заканчивает выборку и стартует
// преобразование.
ADCHS = 0x0002; // Подключить RB2/AN2 к CH0 входу
// в этом примере RB2/AN2 вход
ADCSSL = 0;
ADCON3 = 0x0203; // Время выборки = 2Tad, Tad = 95.24 ns @ 21 MIPS
// что даёт 1 / (14 * 95.24 ns) = 750 ksp/s
ADCON2 = 0x6004; // Выбрать внешние VREF+ и VREF- ножки
// Прерывание после каждых 2 выборок
ADCON1bits.ADON = 1; // включить ADC
while (1) // повторять непрерывно
{
    ADCValue = 0; // очистить значение
    ADC16Ptr = &ADCBUF0; // инициализировать указатель ADCBUF
    IFS0bits.ADIF = 0; // очистить флаг прерывания ADC
    ADCON1bits.ASAM = 1; // автоматический старт выборки
    // для 31Tad затем идти на преобразование
    while (!IFS0bits.ADIF); // преобразование сделано?
    ADCON1bits.ASAM = 0; // да, тогда остановить выборку/преобразование
    for (count = 0; count < 2; count++) // усреднить 2 ADC значения
        ADCValue = ADCValue + *ADC16Ptr++;
    ADCValue = ADCValue >> 1;
} // повторить

```

### 17.22.3 600 ksp/s руководство конфигурации

конфигурация для операции 600 ksp/s зависит, должен ли единственный входной штырек быть выбран или будет осуществляться выборка нескольких штырьков.

#### 17.22.3.1 Единственный аналоговый вход

Когда выполняется преобразование в 600 ksp/s для единственного аналогового входа, по крайней мере два канала выборки/хранения нужно допустить. Аналоговый входной мультиплексор должен быть конфигурирован так, чтобы тот же самый входной штырек был связан с обоими каналами выборки/хранения. A/D преобразует значение, хранимое на одном S/H канале, в то время как в второй S/H канал приобретает новую входную выборку.

### 17.22.3.2 Несколько аналоговых входов

A/D преобразователь может также использоваться, чтобы произвести выборку нескольких аналоговых входов, используя несколько каналов выборки/хранения. В этом случае, общая скорость 600 ksps разделяется среди различных входных сигналов. Например, четыре ввода могут быть опрошены со скоростью 150 ksps для каждого сигнала, или два ввода могли быть выбраны со скоростью 300 ksps для каждого сигнала. Последовательное осуществление выборки должно использоваться в этой конфигурации, чтобы позволить обеспечить требуемое время выборки на каждом вводе.

### 17.22.3.3 Пункты конфигурации 600 ksps

Следующие элементы конфигурации требуются, чтобы достичь скорости преобразования 600 ksps.

- Исполнять условия, представленные в таблице 17-9.
- Подключают внешние штырьки VREF+ и VREF- согласно рекомендуемой схеме, показанной на рисунке 17-10.

- Установить SSRC<2:0> = 111 в регистре ADCON1, чтобы допустить опцию авто-преобразования.
- Разрешить автоматическое осуществление выборки, установив ASAM управляющий бит в регистре ADCON1.

- Допускают последовательному осуществлению выборки, очищая SIMSAM бит в регистре ADCON1.
- Допускают по крайней мере два канала выборки/хранения, записав CHPS <1:0> управляющие биты в регистре ADCON2.

- Конфигурировать по крайней мере 2 преобразования между прерываниями, с по крайней мере двумя каналами выборки/хранения, записав SMP1 <3:0> служебные биты в регистре ADCON2.

- Конфигурируют период тактирования A/D, чтобы быть:

$$1/(12 \times 600,000) = 138.89 \text{ ns } 12 \times 600,000$$

Записав в ADCS <5:0> биты управления в регистре ADCON3.

- Конфигурируют время выборки, чтобы быть 2 TAD, пишут: SAMC <4:0> = 00010.

- Выбор не менее двух каналов в аналоговый входной штырек, записывая в регистр ADCHS.

Временная диаграмма для 600 ksps расширенной скорости - тот же самый что касается 1 Msps показанная в Рисунке 17-10. См. Пример 17-10 для примера кода для 600 ksps операция A/D. Пример

### Пример 17-10: Преобразование 2 Канала, Старт авто-выборки, старт преобразования TAD. Последовательная выборка код

```
ADPCFG = 0xFFFFB; // все PORTB = цифровой; RB2 = аналог
ADCON1 = 0x00E0; // SSRC бит = 111 подразумевает внутренний
// счётчик заканчивает выборку и начинает
// преобразование.
ADCHS = 0x0002; // Подключить RB2/AN2 к CH0 входу и так же подключить RB2/AN2
// к позитивному входу CH1.
// в этом примере RB2/AN2 входы двух каналов.
ADCSSL = 0;
ADCON3 = 0x0C04; // Время выборки = 12Tad = 138.89 ns @ 18 MIPS
// что даёт 1 / (12 * 138.89 ns) = 600 ksps
ADCON2 = 0x6104; // Выбрать внешние штырьки VREF+ и VREF- , преобразовать CH0 и
// CH1, Прерывание после каждых 2 прерываний
ADCON1bits.ADON = 1; // включить ADC
while (1) // повторять непрерывно
{
IFS0bits.ADIF = 0; // очистить прерывание
while (IFS0bits.ADIF); // преобразование выполнено?
ADCValue = ADCBUF0; // сохранить ADC значение
} // повторить
```

## 17.23 Работа в течение спящего и ожидания режимов

Работа в спящем режиме и режиме ожидания полезна для уменьшения шума преобразования, потому что цифровое действие CPU, шин и других периферийных устройств свернуто.

### 17.23.1 Спящий режим CPU без RC генератора A/D

Когда устройство входит в спящий режим, все тактовые источники к модулю остановлены и устанавливаются в логический "0".

Если засыпание происходит в середине преобразования, преобразование прерывается, если A/D не синхронизирован от внутреннего RC генератора. Конвертер не будет возобновлять частично законченное преобразование при выходе из спящего режима.

Содержание регистра не воздействует вход или выход устройства из спящего режима.

### 17.23.2 Спящий режим CPU с синхронизацией A/D от RC генератора

A/D модуль, может работать в течение спящего режима, если в качестве источника синхронизации A/D установлен внутренний RC генератор (ADRC = 1). Это устраняет цифровой шум переключения от преобразования. Когда преобразование закончено, DONE бит будет установлен и результат будет загружен в буфер результата ADCBUF.

Если прерывание A/D разрешено (ADIE = 1), устройство будет пробуждаться из спящего режима, когда прерывание A/D происходит. Выполнение программы возобновит в программе обработки прерывания от A/D, если приоритет прерывания A/D больше, чем текущий приоритет CPU. Иначе, выполнение продолжится от команды после команды PWRSV, которая поместила устройство в спящий режим.

Если прерывание A/D не допускается, A/D модуль будет тогда выключен, хотя ADON бит останется установленным.

Чтобы минимизировать эффекты цифрового шума на A/D операции модуля, пользователь должен выбрать источник запуска преобразования, который гарантирует, что A/D преобразование будет иметь место в спящем режиме. Опция автоматического запуска преобразования может использоваться для осуществления выборки и преобразования в спящем режиме (SSRC < 2:0 > = 111). Чтобы использовать опцию автоматического преобразования, ADON бит должен быть установлен в команде до команды PWRSV.

**Примечание:** Для A/D модуля, чтобы работать в спящем режиме, источник синхронизации A/D должен быть установлен в RC (ADRC = 1).

17.23.3 A/D Операция В течение Нерабочего режима ЦЕНТРАЛЬНОГО ПРОЦЕССОРА Для A/D, ADSIDL бит (ADCON1 < 13 >) выбирает, если модуль остановится на Простое или продолжится на Простое. Если ADSIDL = 0, модуль продолжит нормальную операцию, когда устройство вводит Нерабочий режим. Если прерывание A/D допускается (ADIE = 1), устройство пробудится от Нерабочего режима, когда прерывание A/D происходит. Выполнение Программы возобновит в A/D Программе обработки прерывания, если прерывание A/D большее чем текущий приоритет ЦЕНТРАЛЬНОГО ПРОЦЕССОРА. Иначе, выполнение продолжится от команды после команды PWRSV, которая поместила устройство в Нерабочий режим. Если ADSIDL = 1, модуль остановится в Простое. Если устройство вводит Нерабочий режим в середине преобразования, преобразование прервано. Конвертер не будет возобновлять частично законченное преобразование при выходе от Нерабочего режима. Эффекты Сброса устройство Сбрасывают силы все регистраторы к их государству(состоянию) Сброса. Это вынуждает A/D модуль быть выключенным, и любое преобразование в продвижении(прогессе) прервано. Все штырьки, которые мультиплексированы с аналоговыми вводами, будут конфигурированы как аналоговые вводы. Соответствующие биты ТРИСА будут установлены. Значения в регистраторах ADCBUF не инициализированы в течение " власть(мощь) на " Сброс. ADCBUF0 ... ADCBUFF будет содержать неизвестные данные.



Eeths

Ste M. atad

Regi 5 IF2 TO ЕСТЬ P < 2 G5 это - - XI ce

C B C2

Окружающий R1 CF vi O O] 0 CHXSA P

U

FI2T EI2T 2: [6 r

Перезеленое дерево 6] 0: GF это - - C - -

Funla R C steig к B

7ti FI3T EI3T

0reff 1reff 2reff 3reff 4reff 5reff 6reff 7reff 8reff 9reff 01reffu 11reff 21reffu 31reffu 41reffu  
51reffu S P S Retc fere

S G7 R eci

- - - B Bu B Bu B B B CHXNA [1 Conv BUF

B ADRC CF Se e.ci

Sp v v v v v v v v v v v v v v P n D re

F EI Da 8 dev 8 TE

A/ это - 1ll] 0:1 G V ert

B O P

Itb-01 S SPI1 АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ АНАЛОГО-ЦИФРОВОГО  
ПРЕОБРАЗОВАТЕЛЯ АНАЛОГО-ЦИФРОВОГО ПРЕОБРАЗОВАТЕЛЯ АНАЛОГО-  
ЦИФРОВОГО ПРЕОБРАЗОВАТЕЛЯ АНАЛОГО-ЦИФРОВОГО ПРЕОБРАЗОВАТЕЛЯ  
АНАЛОГО-ЦИФРОВОГО ПРЕОБРАЗОВАТЕЛЯ АНАЛОГО-ЦИФРОВОГО  
ПРЕОБРАЗОВАТЕЛЯ АНАЛОГО-ЦИФРОВОГО ПРЕОБРАЗОВАТЕЛЯ АНАЛОГО-  
ЦИФРОВОГО ПРЕОБРАЗОВАТЕЛЯ АНАЛОГО-ЦИФРОВОГО ПРЕОБРАЗОВАТЕЛЯ 0]:1  
Scatup arluc

АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ АНАЛОГО-ЦИФРОВОГО  
ПРЕОБРАЗОВАТЕЛЯ АНАЛОГО-ЦИФРОВОГО ПРЕОБРАЗОВАТЕЛЯ АНАЛОГО-  
ЦИФРОВОГО ПРЕОБРАЗОВАТЕЛЯ АНАЛОГО-ЦИФРОВОГО ПРЕОБРАЗОВАТЕЛЯ  
АНАЛОГО-ЦИФРОВОГО ПРЕОБРАЗОВАТЕЛЯ С

E FI EI

> 0: PCF B

Onv s. M. [

Roez R

Rtiap

C 9 X X G9 a

VBT - P < 2 CHPS [] АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ R

E Бит 1R:0 XIT1 CF никакой sa O U

A/D U1 [3 P th

Тыл XT1 XT

] 0:4 B d

ETA V FI EI U S 0 01t

Elbal

Бит G1 -- C [

SCNA CH0

Aiva

C 10Bi O U CF U1 C P

Detacos СЭМ ste

30F 11t FI 11

Ebton

G y

Regi -- D -- Bi ADIE PIC CF ma

P ts двухсторонняя дискета n

Stsil EI 21 bil thii 12

CALFF NB Как MIF G -- -- гниль

W V VM

Sret Бит N N O CH0 CF s P подставят elbat

Бит

--

> 0:2 < 3

13, ЕСЛИ EI

C G1

Edtai

Gis / или 2Cl I2 PI - ngi p Бит S S CF D ADSIDL CHXSB

P Re и]

E 4

Ssocar

Сова Мама:0

Ret, ЕСЛИ ei 14 CI RZ [2

Fol ers] G1 th - - 2C G tion I2 - ФЛАГ НАПРАВЛЕНИЯ:0

Sti Бит MI M. CF VCF P и gis

Редж Т 5

VITL N C

Funclaic Re 15 DIST, ЕСЛИ G1 это N - A

S C CNIE ДЕЛАЮТ - СНХНВ [1 В

CF n кислый N

P

0800 2800 C800 0820 2820 4820 6820 8820 A820 C820 E820 0920 2920 4920 6920 8920  
A920 C920 E920 A220 6 8

Ownk запятая АНАЛОГО-ЦИФРОВОЙ ПРЕОБРАЗОВАТЕЛЬ

R 0 4 rru pe

:0 D 84 98 A20 A20 A20 AA20 OOH S 00 00 = tenill

-171 u e 0 1 2 3 4 5 6 7 8 9 B C D E F

M. G L 5 d:

Na ON1 ON2

.271 Блеать C C 0 2 C генеральный:et leiF S

INT INT, ЕСЛИ IEC0 IP ADCBUF ADCBUF ADCBUF ADCBUF ADCBUF ADCBUF  
ADCBUF ADCBUF ADCBUF ADCBUF ADCBUF ADCBUF ADCBUF ADCBUF ADCBUF ADCBUF  
ADCBUF ADCON1 ADCON2 ADCON3 ADCHS ADPCF ADCSS Нет

DS70064D-page 17-56 © 2005 компании Технологии Микрокристалла.

Раздел 17. 10-разрядный A/D Конвертер

17.26

Вопрос Советов Проекта 1: Ответ:

1.

Как я могу оптимизировать системную эффективность A/D конвертера?

2.

3.

Удостоверитесь, что Вы встречаете все спецификации синхронизации. Если Вы поворачиваете модуль выкл. и вкл., имеется минимальная задержка, которой Вы должны ждать перед взятием выборки. Если Вы изменяете входные каналы, имеется минимальная задержка, которой Вы должны ждать это также и наконец, имеется TAD, который является временем, выбранным для каждого разрядного преобразования. Это выбрано в ADCON3 и должно быть в пределах некоторого диапазона как определено в Электрических Характеристиках. Если TAD слишком короток, результат не может быть полностью преобразован(конвертирован) прежде, чем преобразование закончено, и если TAD сделан слишком долго, напряжение на конденсаторе осуществления выборки может распасться прежде, чем преобразование закончено. Эти спецификации синхронизации обеспечиваются в " Электрические Спецификации " раздел листов данных устройства. Часто источник impedance аналогового сигнала высок (больший чем 10 к), так что поток, выведенный из источника, чтобы зарядить типовой конденсатор может затрагивать точность. Если входной сигнал не изменяется слишком быстро, пробуйте поместить 0.1 F конденсатор на аналоговом вводе. Этот конденсатор зарядит к аналоговому напряжению, являющемуся sampled и снабжать мгновенный поток, необходимый, чтобы зарядить 4.4 pF внутренний конденсатор проведения. Поместите устройство в режим Бездействия перед началом A/D преобразования. RC синхронизируют исходный выбор, требуется для преобразований в режиме Бездействия. Эта методика увеличивает точность, потому что цифровой шум от ЦЕНТРАЛЬНОГО ПРОЦЕССОРА и других периферийных устройств свернут.

Conver

Ter

17 10-bit A /D

Вопрос 2: Вы знаете о хорошей ссылке(рекомендации) на A/De?

Ответ: хорошая ссылка(рекомендация) для понимания A/D преобразования - " Аналого-цифровое Конверсионное Руководство " третье издание, изданное Prentice Залом (ISBN 0-13-03-2848-0).

Вопрос 3:

Моя комбинация каналов / выборки и выборок / прерывания большая чем размер буфера. Что случится с буфером?

Ответ: Эта конфигурация не рекомендуется. Буфер будет содержать неизвестные результаты.

© 2005 компании Технологии Микросталла. DS70064D-page 17-57

DsPIC30F Справочное описание Семейства

17.27

Связанная Прикладная программа Обращает внимания, что этот раздел перечисляет прикладную программу, обращает внимания, что связаны с этим разделом руководства. Эти прикладные примечания не могут быть написаны определенно в dsPIC30F Семействе

Изделия(программы), но концепции подходящие и могли использоваться с модификацией и возможными ограничениями. Текущие прикладные примечания, связанные с 10-разрядным A/D модулем Конвертера:

Заголовок, использующий Аналого-цифровой (A/D) Конвертер Четыре Канал Цифровой Вольтметр с Дисплеем и Клавиатурой, понимая A/D Спецификации Эффективности Конвертера, использующие dsPIC30F для Sensorless BLDC Контроль(управление), использующий dsPIC30F для Векторного Контроля(управления) относительно ACIM Sensored BLDC Моторный Контроль(управление), использующий dsPIC30F2010 Введение в Контроль(управление) Двигателя Индукции АККУМУЛЯТОРА, использующий dsPIC30F ОСНОВНОЙ БЛОК УПРАВЛЕНИЯ

Обратите внимание:

Прикладное Примечание(обратить внимание) # AN546 AN557 AN693 AN901 AN908 AN957 AN984

Пожалуйста посетите информационный узел Микрокристалла ([www.microchip.com](http://www.microchip.com)) для дополнительных Прикладных Примечаний, и закодируйте примеры для dsPIC30F Семейства устройств.

DS70064D-page 17-58 © 2005 компании Технологии Микрокристалла.

## Раздел 17. 10-разрядный A/D Конвертер

Пересмотр Хронологии Пересмотра Это - начальный выпущенный(освобожденный) пересмотр этого документа. Пересмотр B, чтобы отразить редакционные и технические довольные пересмотры для dsPIC30F 10-разрядного A/D модуля Конвертера. C Пересмотра Этот пересмотр включает все известные опечатки во время этой модификации документа. Пересмотр D Этот пересмотр включает расширенные(продленные) конверсионные рекомендации нормы(разряда, скорости). 17.28

Conver

Ter

17 10-bitA /D